

主要指标:

最高频率: 20MHz

输入信号: 兼容 TTL

输出信号: 0V~5V

封装尺寸: 3×3×0.75mm

应用: 译码控制多通道的逻辑选通

产品简介:

3-8 译码芯片采用 CMOS 工艺, 内置 3-8 译码电路, 可将 3 位并行 TTL 输入数据转换为 8 位单端输出的 0~5V 输出信号。该产品功耗低, 使用方便, 速度快等特点, 可应用于多个并行通道的逻辑选通。

允许绝对最大值¹ ($T_A=25^{\circ}\text{C}$)

| 符号 | 参数 | 数值 | | 单位 |
|-----------------|-------|------|-----|----|
| | | 最小 | 最大 | |
| VDD | 正电源电压 | -0.3 | 6 | V |
| V _{in} | 输入电压 | -0.5 | 5.5 | V |
| Tstg | 存储温度 | -65 | 150 | °C |

推荐工作条件

| 符号 | 参数 | 数值 | | 单位 |
|-----------------|---------|------|-----|-----|
| | | 最小 | 最大 | |
| VDD | 正电源电压 | 4.5 | 5.5 | V |
| GND | 地 | -0.5 | 0.5 | V |
| V _{ih} | 输入高电平电压 | 2.8 | 5 | V |
| V _{il} | 输入低电平电压 | 0 | 1 | V |
| Fck | 工作频率 | | 20 | MHz |
| T _a | 工作温度 | -55 | 125 | °C |

电特性参数 ($T_A=25^{\circ}\text{C}$)

| 参数 | 符号 | 测试条件 除另有规定外, $T_A=25^{\circ}\text{C}$ $V_{DD}=5\text{V}$, $GND=0\text{V}$, TTL 电平输入。 | 数值 | | | 单位 |
|---------|-----------------|--|----|----|----|----|
| | | | 最小 | 典型 | 最大 | |
| 静态电流 | I _{DD} | V _{IN} =5V | - | - | 50 | μA |
| 高电平输入电流 | I _{IH} | V _{IN} =5V | - | - | 10 | μA |

| | | | | | | |
|---------|------------|-------------|------|---|-----|---------|
| 低电平输入电流 | $ I_{IL} $ | $V_{IN}=0V$ | - | - | 10 | μA |
| 高电平输出电压 | V_{OH} | $V_{IN}=0V$ | 4.5 | 5 | 5.5 | V |
| 低电平输出电压 | V_{OL} | $V_{IN}=5V$ | -0.5 | 0 | 0.5 | V |
| 动态电流 | $ I_{EE} $ | $f=20MHz$ | - | - | 2 | mA |
| 导通延时 | T_{on} | $f=20MHz$ | - | 5 | 8 | ns |
| 关断延时 | T_{off} | $f=20MHz$ | - | 5 | 8 | ns |
| 上升沿 | T_{rs} | $f=20MHz$ | - | 5 | 6 | ns |
| 下降沿 | T_{dn} | $f=20MHz$ | - | 5 | 6 | ns |

电路原理图

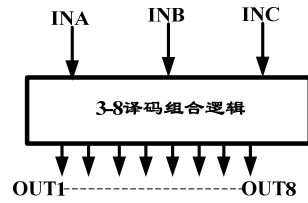


图 1 芯片功能示意图

表 1 38 译码器真值表

| 输入 | | | 输出 | | | | | | | |
|-----|-----|-----|------|------|------|------|------|------|------|------|
| INC | INB | INA | OUT1 | OUT2 | OUT3 | OUT4 | OUT5 | OUT6 | OUT7 | OUT8 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

逻辑 0 为 GND，逻辑 1 为 VDD。