

# ZYNQ7000 开发平台 用户手册

## AC7015B 开发板



## 文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

## 目 录

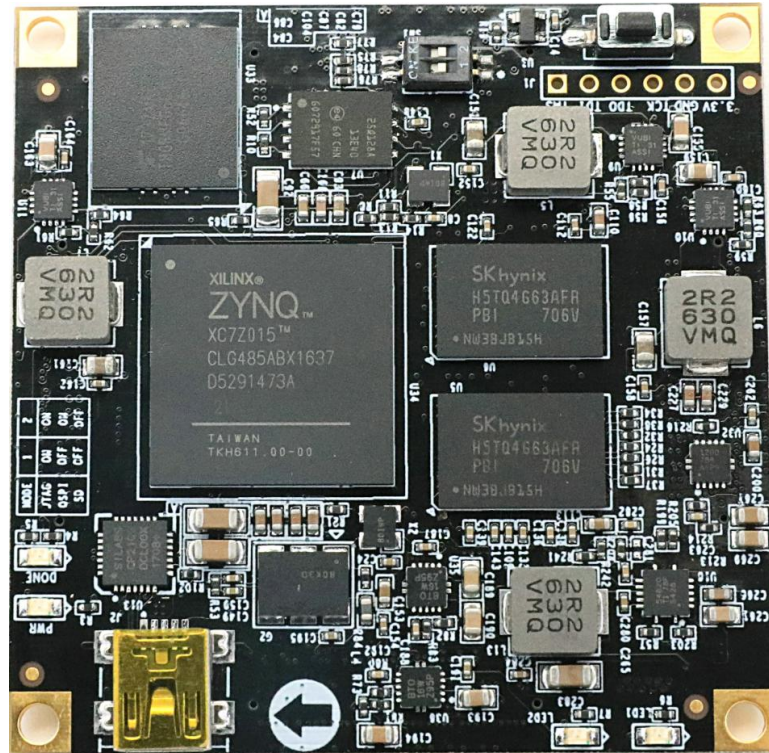
文档版本控制 .....	2
(一) 简介 .....	4
(二) ZYNQ 芯片 .....	5
(三) DDR3 DRAM .....	7
(四) QSPI Flash .....	11
(五) eMMC Flash .....	13
(六) 时钟配置 .....	14
(七) USB 转串口 .....	17
(八) LED 灯 .....	18
(九) 复位按键 .....	20
(十) JTAG 接口 .....	21
(十一) 拨码开关配置 .....	22
(十二) 电源 .....	22
(十三) 结构图 .....	25
(十四) 连接器管脚定义 .....	25

## (一) 简介

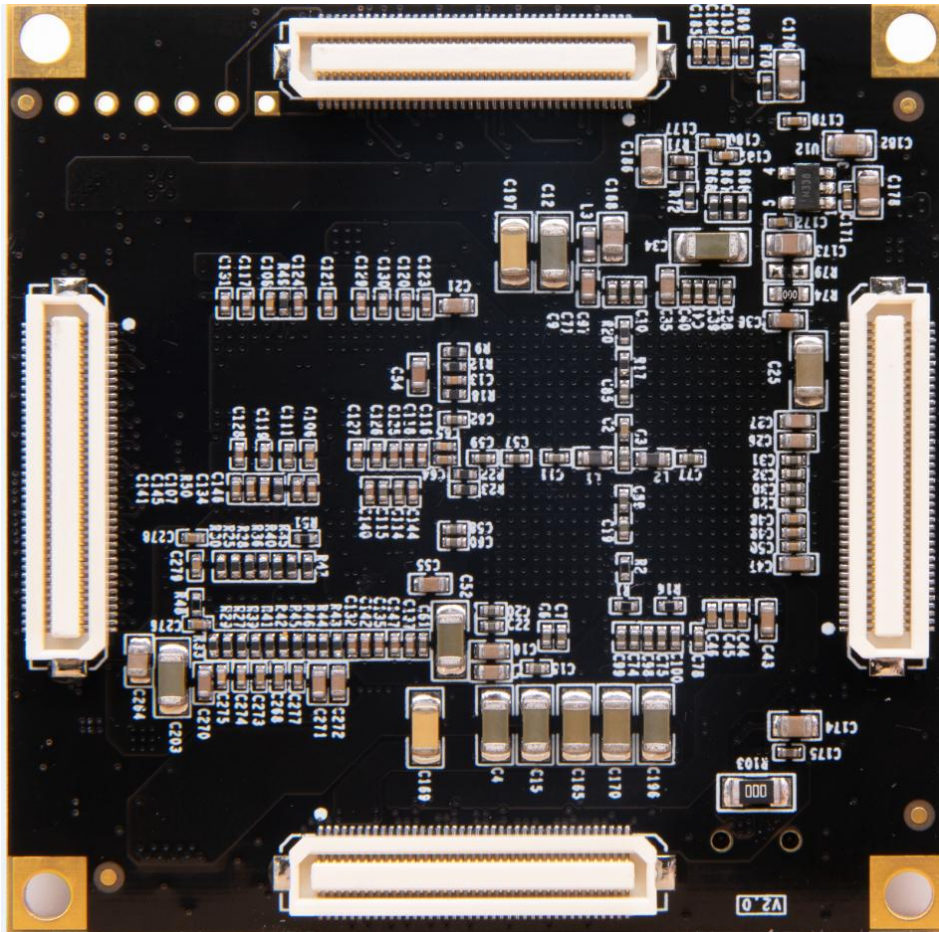
AC7015B(核心板型号,下同)核心板,ZYNQ 芯片是基于 XILINX 公司的 ZYNQ7000 系列的 XC7Z015-2CLG485I。ZYNQ 芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器,AMBA®互连,内部存储器,外部存储器接口和外设。ZYNQ 芯片的 FPGA 内部含有丰富的可编程逻辑单元,DSP 和内部 RAM。

这款核心板使用了 2 片 SK Hynix 公司的 H5TQ4G63AFR-PBI 这款 DDR3 芯片,每片 DDR 的容量为 4Gbit;2 片 DDR 芯片组合成 32bit 的数据总线宽度,ZYNQ 和 DDR3 之间的读写数据时钟频率高达 533Mhz;这样的配置,可以满足系统的高带宽的数据处理的需求。

为了和底板连接,这款核心板的 4 个板对板连接器扩展出了 PS 端的 USB 接口,千兆以太网接口,SD 卡接口及其它剩余的 MIO 口;也扩展出了 ZYNQ 的 4 对高速收发器 GTP 接口;以及 PL 端的 BANK13,BAN34 和 BANK35 的几乎所有 IO 口(84 个),其中 BANK35 的 IO 的电平可以通过更换核心板上的 LDO 芯片来修改,满足用户不用电平接口的要求。对于需要大量 IO 的用户,此核心板将是不错的选择。而且 IO 连接部分,ZYNQ 芯片到接口之间走线做了等长和差分处理,并且核心板尺寸仅为 60\*60 (mm),对于二次开发来说,非常适合。



AC7015B 核心板正面图



AC7015B 核心板背面图

## (二) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z015-2CLG485I。芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。ZYNQ7000 芯片的总体框图如图 2-2-1 所示

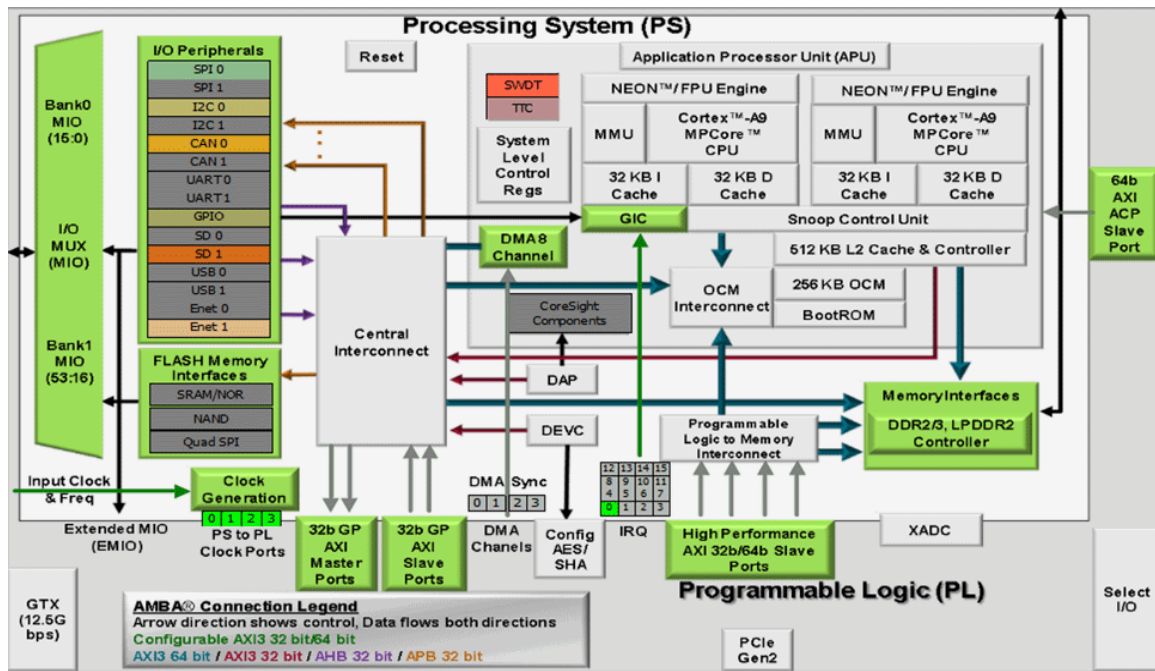


图2-2-1 ZYNQ7000芯片的总体框图

其中 PS 系统部分的主要参数如下：

- 基于 ARM 双核 CortexA9 的应用处理器，ARM-v7 架构 高达 766MHz
- 每个 CPU 32KB 1 级指令和数据缓存，512KB 2 级缓存 2 个 CPU 共享
- 片上 boot ROM 和 256KB 片内 RAM
- 外部存储接口，支持 16/32 bit DDR2、DDR3 接口
- 两个千兆网卡支持：发散-聚集 DMA，GMII，RGMII，SGMII 接口
- 两个 USB2.0 OTG 接口，每个最多支持 12 节点
- 两个 CAN2.0B 总线接口
- 两个 SD 卡、SDIO、MMC 兼容控制器
- 2 个 SPI，2 个 UARTs，2 个 I2C 接口
- 4 组 32bit GPIO，54 (32+22) 作为 PS 系统 IO，64 连接到 PL
- PS 内和 PS 到 PL 的高带宽连接

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells：74K；
- 查找表 LUTs: 46,200
- 触发器(flip-flops):92,400
- 乘法器 18x25MACCs：160;
- Block RAM：3.3Mb；
- 4 路高速 GTP 收发器，支持 PCIE Gen2x4；

- 2 个 AD 转换器,可以测量片上电压、温度感应和高达 17 外部差分输入通道, 1MBPS

XC7Z015-2CLG485I 芯片的速度等级为-2, 工业级, 封装为 BGA484, 引脚间距为 0.8mm, ZYNQ7000 系列的具体的芯片型号定义如下图 2-2-2 所示。

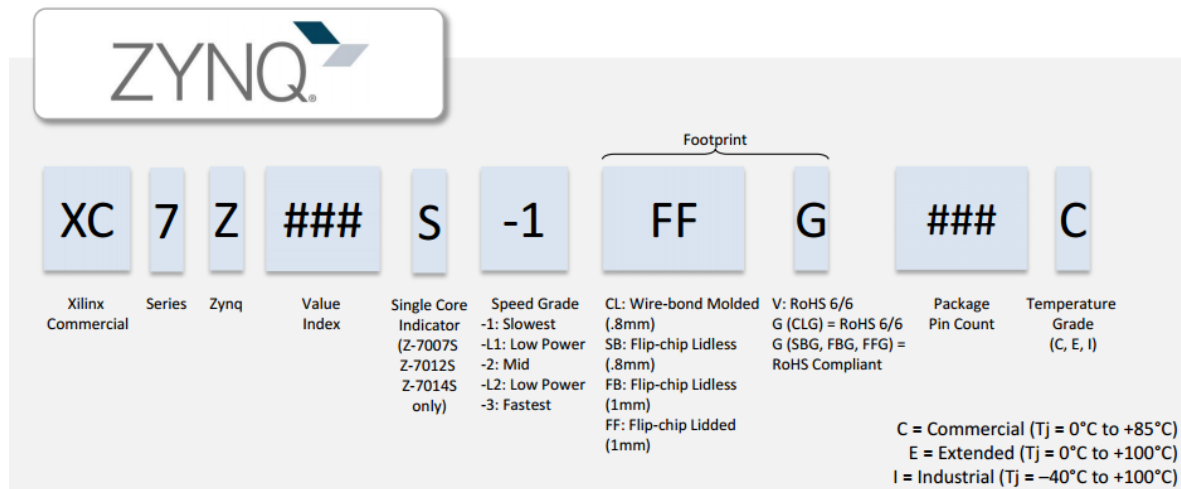


图2-2-2 ZYNQ型号命名规则定义

图 2-2-3 为开发板所用的 XC7Z015 芯片实物图。



图2-2-3 XC7Z015芯片实物

### (三) DDR3 DRAM

AC7015B核心板上配有两片SK Hynix公司的DDR3 SDRAM芯片(共计1GB),型号为 H5TQ4G63AFR-PBI。DDR3 SDRAM的总线宽度共为32bit。DDR3 SDRAM的最高运行速度可达533MHz(数据速率1066Mbps)。该DDR3存储系统直接连接到了ZYNQ处理系统 (PS) 的BANK 502的存储器接口上。DDR3 SDRAM的具体配置如下表2-3-1所示。

表5-1 DDR3 SDRAM配置

位号	芯片型号	容量	厂家
U5,U6	H5TQ4G63AFR-PBI	256M x 16bit	SK Hynix

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接方式如图 2-3-1 所示:

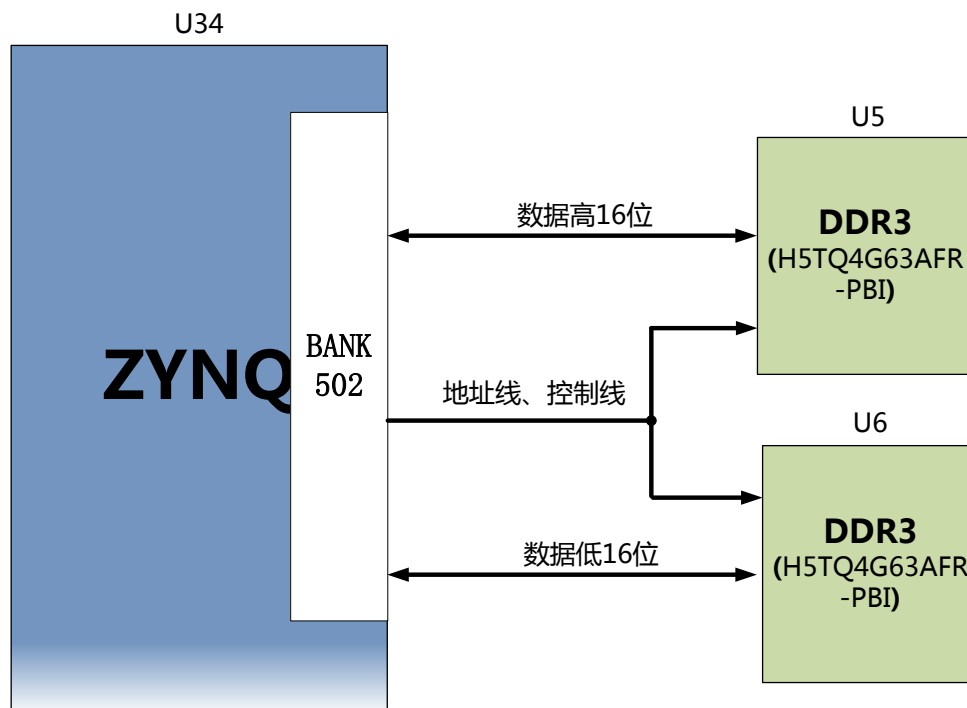


图2-3-1 DDR3 DRAM原理图部分

图 2-3-2 为 DDR3 DRAM 实物图



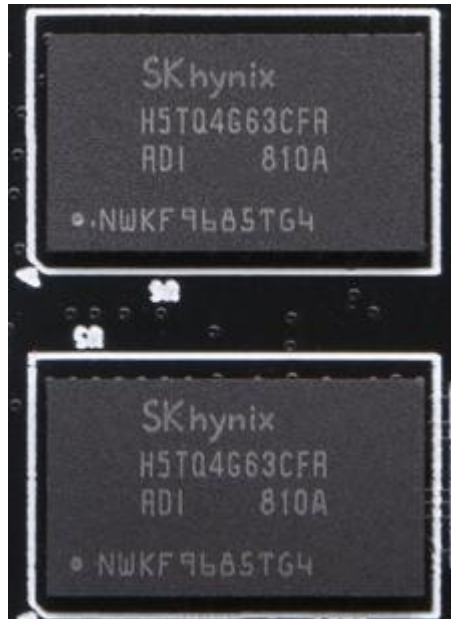


图 2-3-2 DDR3 DRAM 实物图

DDR3 DRAM 引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
DDR3_DQS0_P	PS_DDR_DQS_P0_502	C21
DDR3_DQS0_N	PS_DDR_DQS_N0_502	D21
DDR3_DQS1_P	PS_DDR_DQS_P1_502	H21
DDR3_DQS1_N	PS_DDR_DQS_N1_502	J21
DDR3_DQS2_P	PS_DDR_DQS_P2_502	N21
DDR3_DQS2_N	PS_DDR_DQS_N2_502	P21
DDR3_DQS3_P	PS_DDR_DQS_P3_502	V21
DDR3_DQS4_N	PS_DDR_DQS_N3_502	W21
DDR3_D0	PS_DDR_DQ0_502	D22
DDR3_D1	PS_DDR_DQ1_502	C20
DDR3_D2	PS_DDR_DQ2_502	B21
DDR3_D3	PS_DDR_DQ3_502	D20
DDR3_D4	PS_DDR_DQ4_502	E20
DDR3_D5	PS_DDR_DQ5_502	E22
DDR3_D6	PS_DDR_DQ6_502	F21
DDR3_D7	PS_DDR_DQ7_502	F22
DDR3_D8	PS_DDR_DQ8_502	G21
DDR3_D9	PS_DDR_DQ9_502	G22

DDR3_D10	PS_DDR_DQ10_502	L22
DDR3_D11	PS_DDR_DQ11_502	L21
DDR3_D12	PS_DDR_DQ12_502	L20
DDR3_D13	PS_DDR_DQ13_502	K22
DDR3_D14	PS_DDR_DQ14_502	J22
DDR3_D15	PS_DDR_DQ15_502	K20
DDR3_D16	PS_DDR_DQ16_502	M22
DDR3_D17	PS_DDR_DQ17_502	T20
DDR3_D18	PS_DDR_DQ18_502	N20
DDR3_D19	PS_DDR_DQ19_502	T22
DDR3_D20	PS_DDR_DQ20_502	R20
DDR3_D21	PS_DDR_DQ21_502	T21
DDR3_D22	PS_DDR_DQ22_502	M21
DDR3_D23	PS_DDR_DQ23_502	R22
DDR3_D24	PS_DDR_DQ24_502	Y20
DDR3_D25	PS_DDR_DQ25_502	U22
DDR3_D26	PS_DDR_DQ26_502	AA22
DDR3_D27	PS_DDR_DQ27_502	U21
DDR3_D28	PS_DDR_DQ28_502	W22
DDR3_D29	PS_DDR_DQ29_502	W20
DDR3_D30	PS_DDR_DQ30_502	V20
DDR3_D31	PS_DDR_DQ31_502	Y22
DDR3_DM0	PS_DDR_DM0_502	B22
DDR3_DM1	PS_DDR_DM1_502	H20
DDR3_DM2	PS_DDR_DM2_502	P22
DDR3_DM3	PS_DDR_DM3_502	AA21
DDR3_A0	PS_DDR_A0_502	M19
DDR3_A1	PS_DDR_A1_502	M18
DDR3_A2	PS_DDR_A2_502	K19
DDR3_A3	PS_DDR_A3_502	L19
DDR3_A4	PS_DDR_A4_502	K17
DDR3_A5	PS_DDR_A5_502	K18

DDR3_A6	PS_DDR_A6_502	J16
DDR3_A7	PS_DDR_A7_502	J17
DDR3_A8	PS_DDR_A8_502	J18
DDR3_A9	PS_DDR_A9_502	H18
DDR3_A10	PS_DDR_A10_502	J20
DDR3_A11	PS_DDR_A11_502	G18
DDR3_A12	PS_DDR_A12_502	H19
DDR3_A13	PS_DDR_A13_502	F19
DDR3_A14	PS_DDR_A14_502	G19
DDR3_BA0	PS_DDR_BA0_502	L16
DDR3_BA1	PS_DDR_BA1_502	L17
DDR3_BA2	PS_DDR_BA2_502	M17
DDR3_S0	PS_DDR_CS_B_502	P17
DDR3_RAS	PS_DDR_RAS_B_502	R18
DDR3_CAS	PS_DDR_CAS_B_502	P20
DDR3_WE	PS_DDR_WE_B_502	R19
DDR3_ODT	PS_DDR_ODT_502	P18
DDR3_RESET	PS_DDR_DRST_B_502	F20
DDR3_CLK0_P	PS_DDR_CKP_502	N19
DDR3_CLK0_N	PS_DDR_CKN_502	N18
DDR3_CKE	PS_DDR_CKE_502	T19

#### (四) QSPI Flash

核心板配有一片 256MBit 大小的 Quad-SPI FLASH 芯片，型号为 W25Q256FVEI，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U7	W25Q256FVEI	32M Byte	Winbond

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上,在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 2-4-1 为 QSPI Flash 在原理图中的部分。

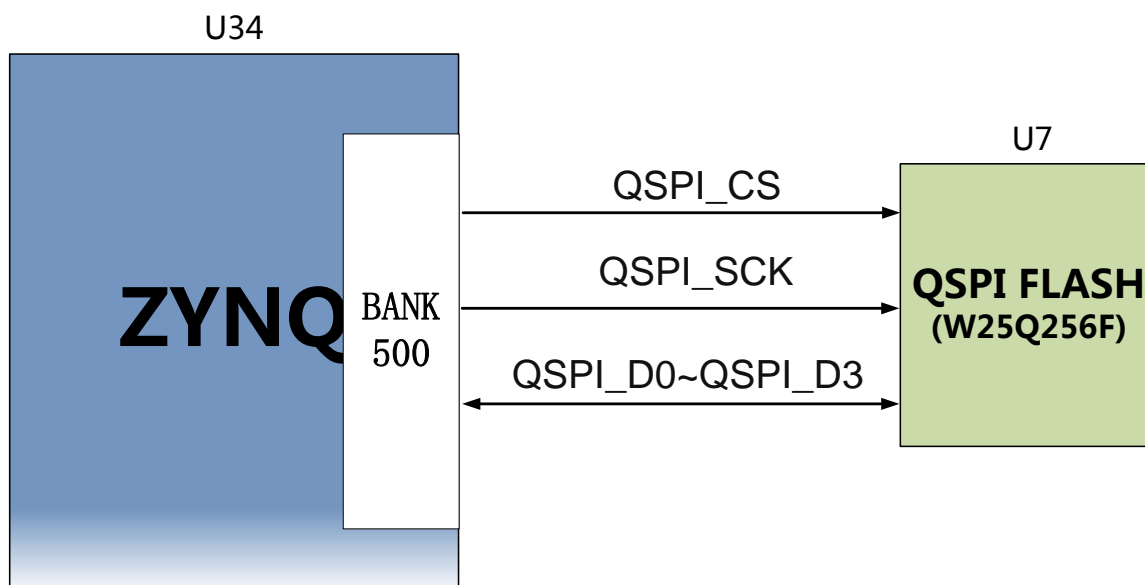


图 2-4-1 QSPI Flash 连接示意图

图 2-4-2 为 QSPI Flash 的实物图



2-4-2 为 QSPI Flash 的实物图

配置芯片引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
QSPI_SCK	PS_MIO6_500	A19
QSPI_CS	PS_MIO1_500	A22
QSPI_D0	PS_MIO2_500	A21

QSPI_D1	PS_MIO3_500	F17
QSPI_D2	PS_MIO4_500	E19
QSPI_D3	PS_MIO5_500	A20

## (五) eMMC Flash

核心板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 THGBMFG6C1LBAIL，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 4bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量	厂家
U33	THGBMFG6C1LBAIL	8G Byte	TOSHIBA

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK501 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 SD 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

U1

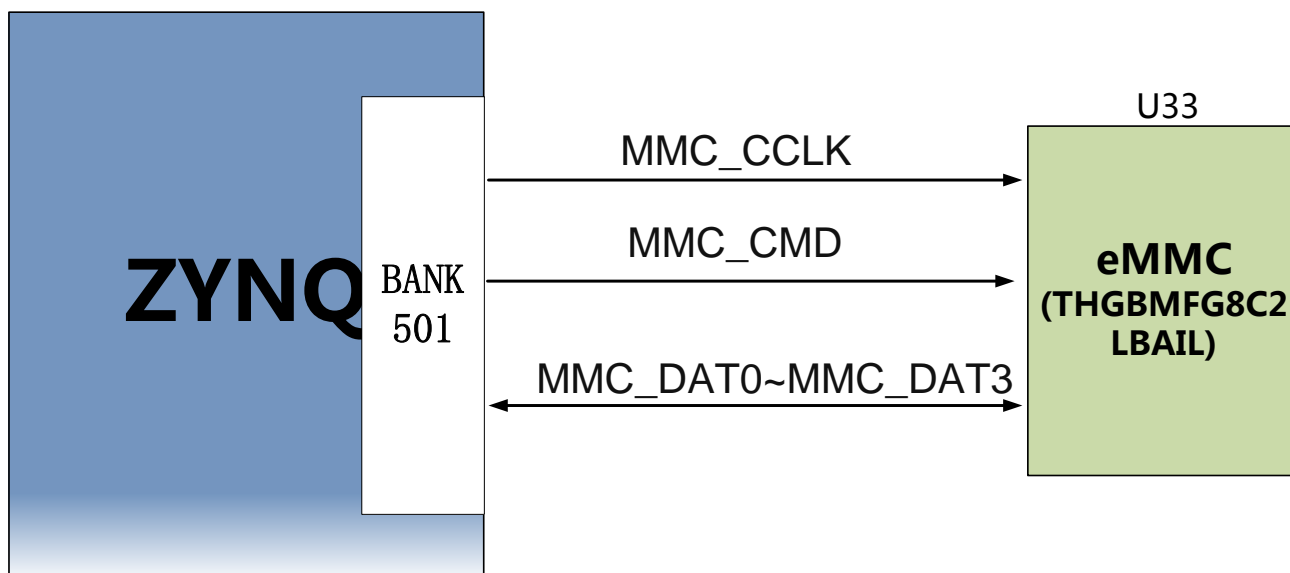


图 2-5-1 eMMC Flash 连接示意图

图 2-5-2 为 eMMC Flash 的实物图



2-5-2 为 eMMC Flash 的实物图

配置芯片引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
MMC_CCLK	PS_MIO48_501	D12
MMC_CMD	PS_MIO47_501	B13
MMC_D0	PS_MIO46_501	D11
MMC_D1	PS_MIO49_501	C9
MMC_D2	PS_MIO50_501	D10
MMC_D3	PS_MIO51_501	C13

## (六) 时钟配置

AC7015B 核心板上分别为 PS 系统，PL 逻辑部分和 GTP 收发器提供了有源时钟，使 PS 系统，PL 逻辑和 GTP 收发器可以单独工作。其中 PS 和 PL 端使用单端晶振，GTP 端使用差分晶振。

### PS 系统时钟源

ZYNQ 芯片通过开发板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK500 的 PS\_CLK\_500 的管脚上。其原理图如图 2-6-1 所示：

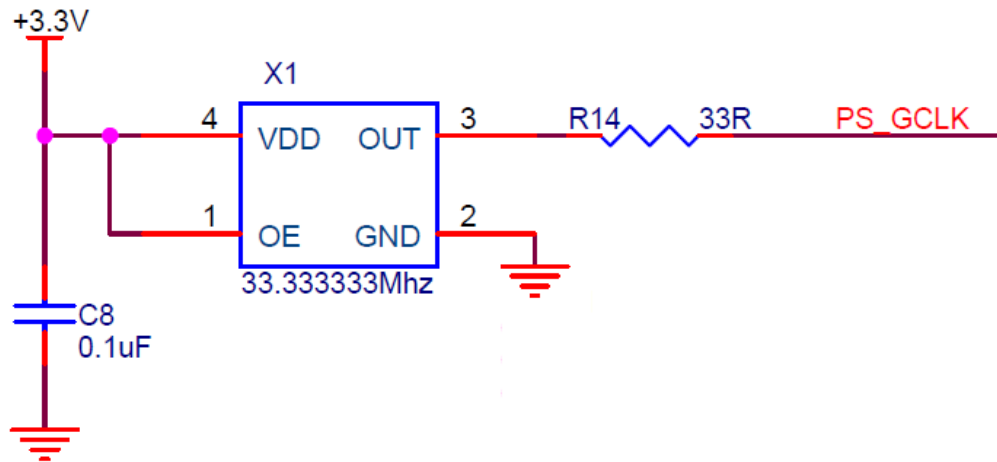


图 2-6-1 PS 部分的有源晶振

图 2-6-2 为有源晶振实物图

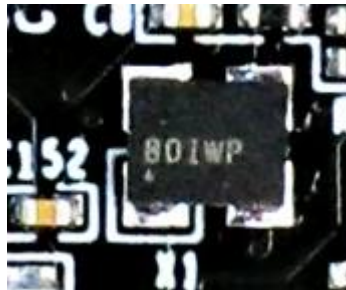


图 2-6-2 33.333Mhz 有源晶振实物图

时钟引脚分配：

信号名称	ZYNQ 引脚
PS_GCLK	F16

## PL 系统时钟源

AC7015B 核心板上提供了单端 50MHz 的 PL 系统时钟源，3.3V 供电。晶振输出连接到 FPGA BANK13 的全局时钟(MRCC)，这个 GCLK 可以用来驱动 FPGA 内的用户逻辑电路。该时钟源的原理图如图 2-6-3 所示

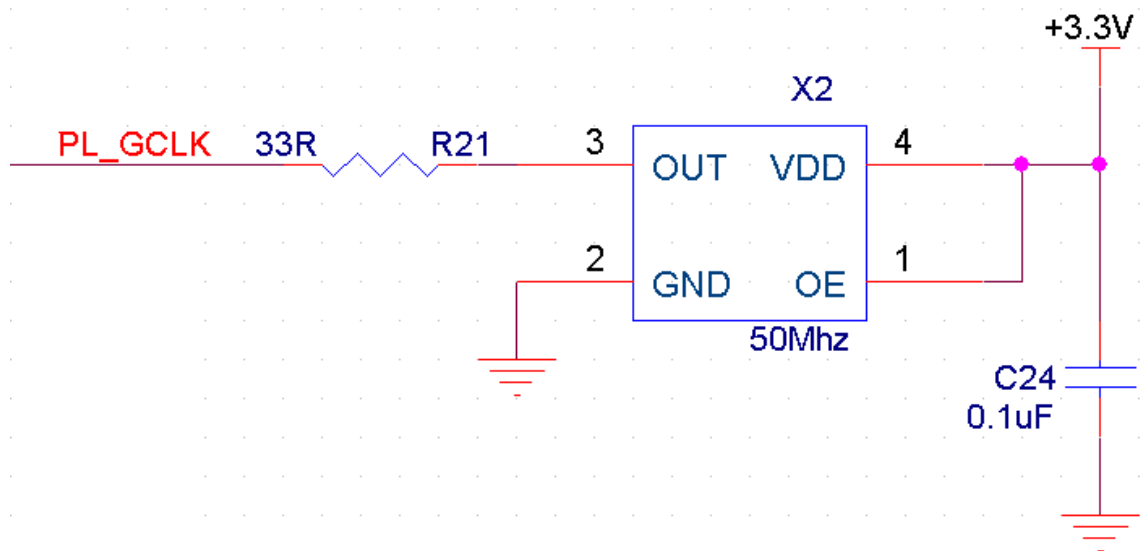


图 2-6-3 PL系统时钟源

图 2-6-4 为有源晶振 50MHz 的实物图

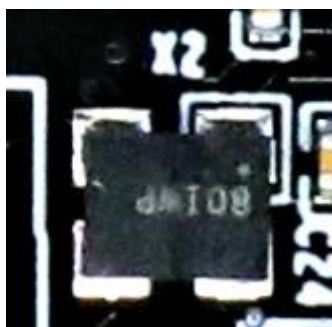


图2-6-4 50MHz有源晶振实物图

PL 时钟引脚分配：

信号名称	ZYNQ 引脚
PL_GCLK	Y14

### GTP 差分时钟

AC7015B 核心板上提供了差分 125MHz 的 GTP 参考时钟。差分 LVDS 时钟输出连接到 BANK112 的参考时钟上，这个 125Mhz 的时钟可以用来作为底板的光纤数据通信的参考时钟。该时钟源的原理图如图 2-6-5 所示



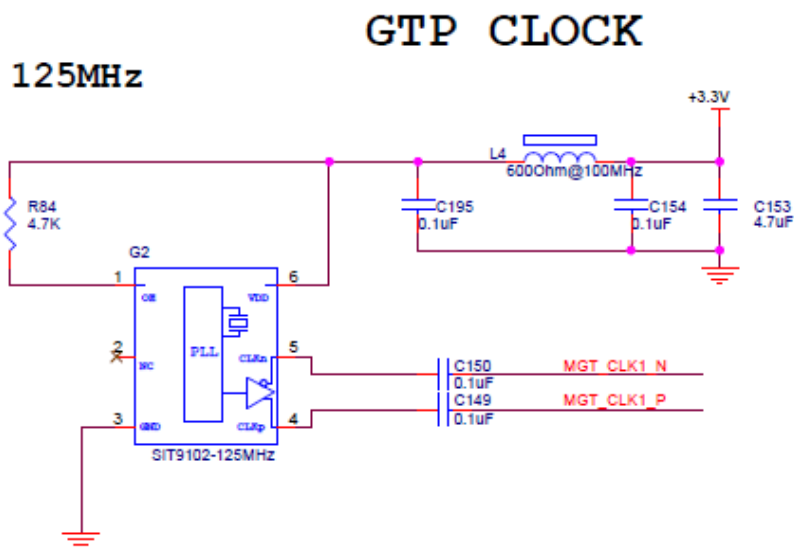


图 2-6-5 GTP参考时钟

图 2-6-6 为差分晶振 120MHz 的实物图



图2-6-6 125Mhz差分晶振实物图

GTP 时钟引脚分配：

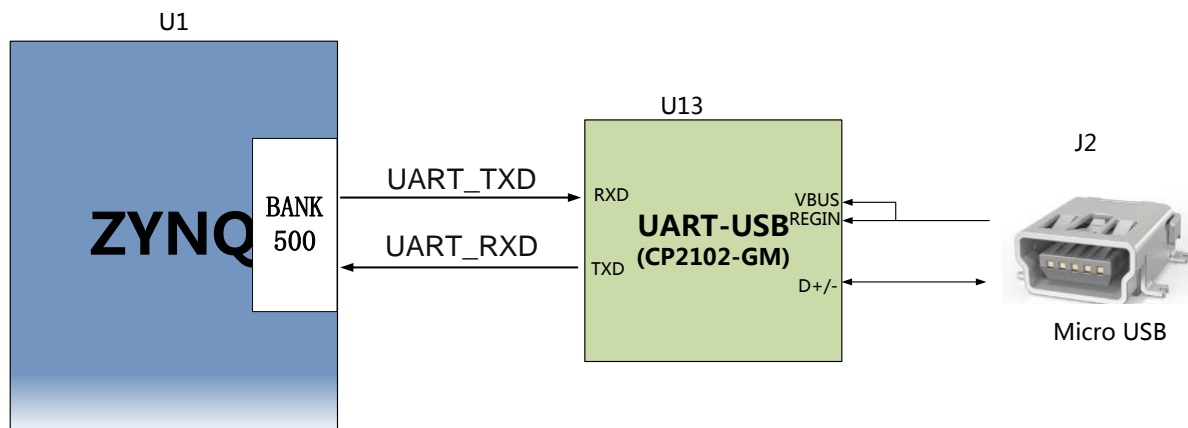
信号名称	ZYNQ 引脚
MGT_CLK1_P	U5
MGT_CLK1_N	V5

## (七) USB 转串口

为了 AC7015B 核心板单独工作和调试，我们为核心板配备了一个 Uart 转 USB 接口。用于核心板单独供电和调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独

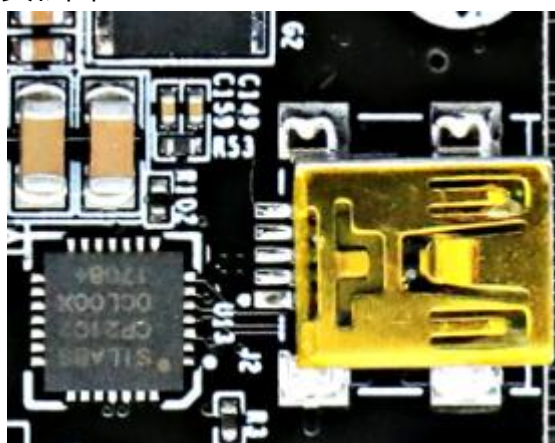
供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示:



2-7-1 USB 转串口示意图

下图为 USB 转串口的实物图



2-7-2 USB 转串口实物图

UART 转串口的 ZYNQ 引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
UART_RXD	PS_MIO14_500	B17	Uart数据输入
UART_TXD	PS_MIO15_500	E17	Uart数据输出

## (八) LED 灯

AC7015B 核心板上有 4 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)，2 个是用户 LED 灯 (LED1~LED2)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。2 个用户 LED 灯一个连接到 PS 的 MIO 上，一个连接到 PL 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，

用户 LED 灯熄灭，当连接 IO 电压为低时，用户 LED 会被点亮。LED 灯硬件连接的示意图如图 2-8-1 所示：

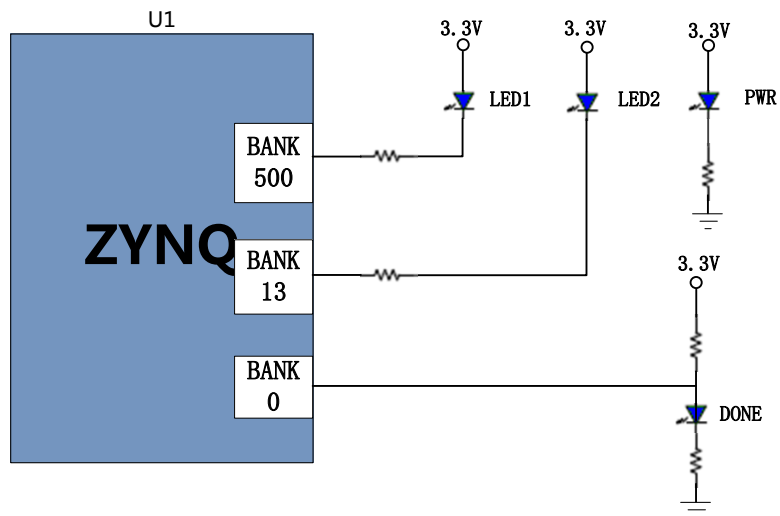


图 2-8-1 核心板 LED 灯硬件连接示意图

图 2-8-2 为核心板上的 LED 灯实物图

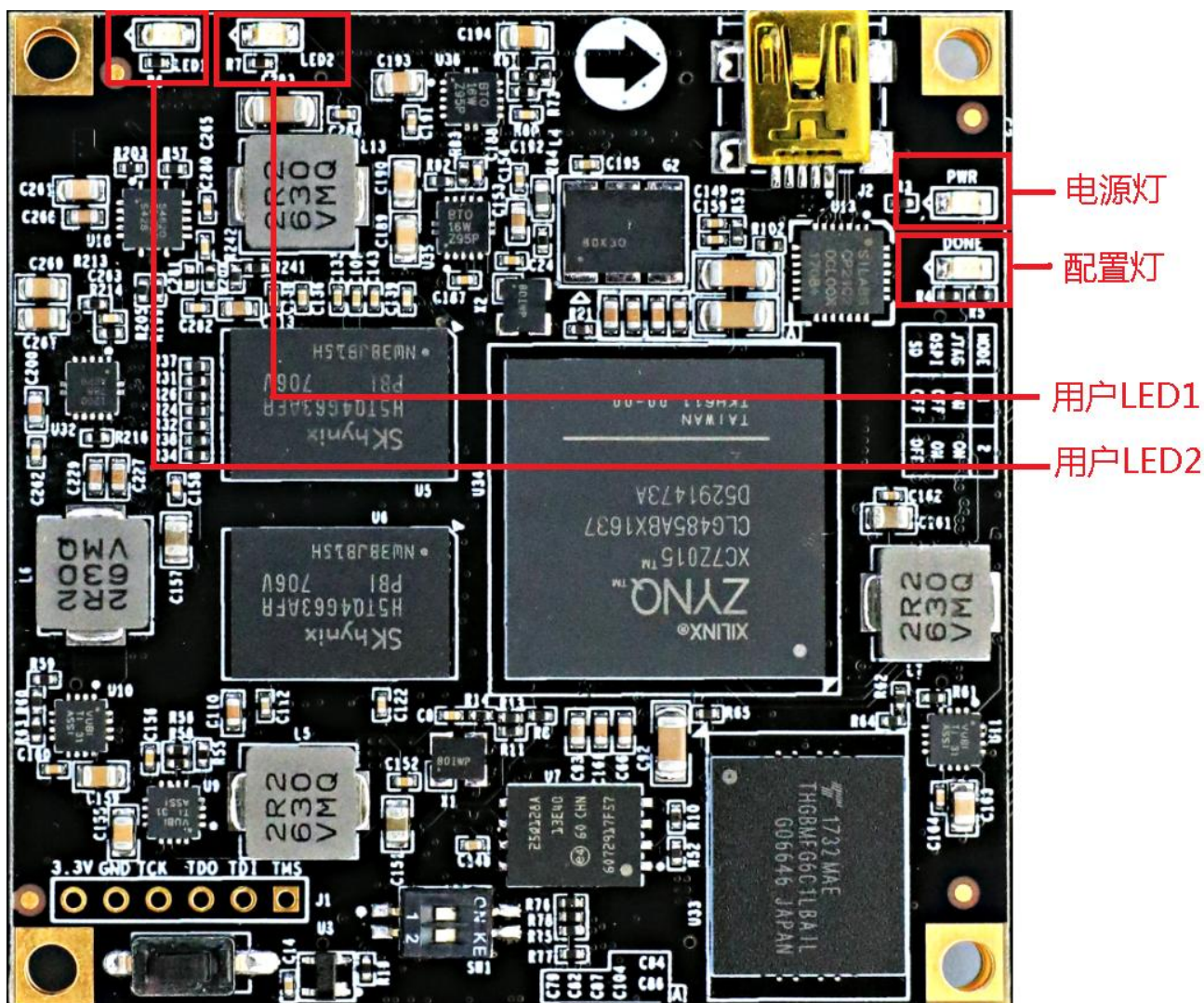


图 2-8-2 核心板的 LED 灯实物图

### 用户 LED 灯的引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 管脚号	备注
MIO0_LED	PS_MIO0_500	G17	用户LED1灯
PL_LED	IO_0_13	T16	用户LED2灯

### (九) 复位按键

AC7015B 核心板上有一个复位按键 RESET 和电路,复位信号连接到 ZYNQ 芯片 PS 复位管脚上,用户可以使用这个复位按键来复位 ZYNQ 系统。复位按键按下,复位芯片会产生低电平的复位信号给 ZYNQ 芯片。复位按键和复位芯片连接的示意图如图 2-9-1 所示:

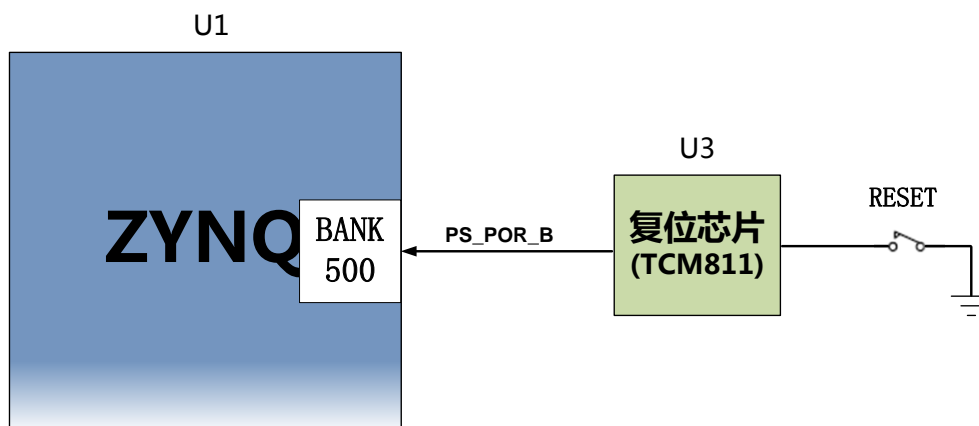


图 2-9-1 复位按键连接示意图

图 2-9-2 为复位按键和复位电路的实物图



图 2-9-2 复位按键实物图

复位按键的 ZYNQ 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PS_POR_B	PS_POR_B_500	B18	ZYNQ系统复位信号

## (十) JTAG 接口

在 AC7015B 核心板上我们也预留了 JTAG 的测试座 J1，用来核心板单独 JTAG 下载和调试，图 2-10-1 就是 JTAG 口的原理图部分，其中涉及到 TMS,TDI,TDO,TCK,GND,+3.3V 这六个信号。

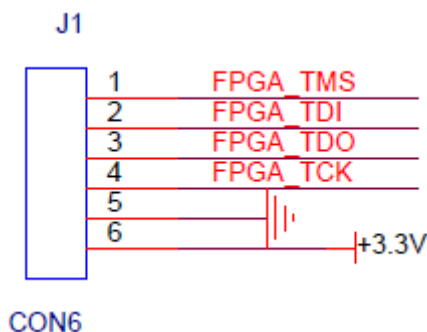


图 2-10-1 核心板原理图中 JTAG 接口部分

核心板上 JTAG 接口 J1 采用 6 针的 2.54mm 间距的单排测试孔，用户如果需要在核心板

上用 JTAG 连接调试的话，需要焊接 6 针的单排排针。图 2-10-2 为 JTAG 接口在开发板上的实物图



图 2-10-2 JTAG 接口实物图

## (十一) 拨码开关配置

AC7015B 核心板上有一个 2 位的拨码开关 SW1 用来配置 ZYNQ 系统的启动模式。AC7015B 系统开发平台支持三种启动模式。这三种启动模式分别是 JTAG 调试模式, QSPI FLASH 和 SD 卡启动模式。XC7Z015 芯片上电后会检测响应 MIO 口 ( MIO5 和 MIO4 ) 的电平来决定那种启动模式。用户可以通过核心板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 2-11-1 所示。

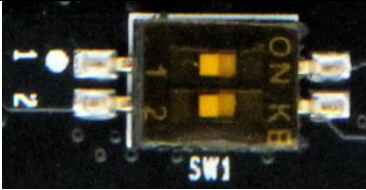
SW1	拨码位置 ( 1 , 2 )	MIO5,MIO4电平	启动模式
	ON、ON	0、0	JTAG
	OFF、OFF	1、1	SD卡
	OFF、ON	1、0	QSPI FLASH

表2-11-1 SW1启动模式配置

## (十二) 电源

AC7015B 核心板供电电压为 DC5V，单独使用时通过 Mini USB 接口供电，连接底板时通过底板供电，请注意不要 Mini USB 和底板同时供电，以免造成损坏。板上的电源设计示意图如下图 2-12-1 所示:

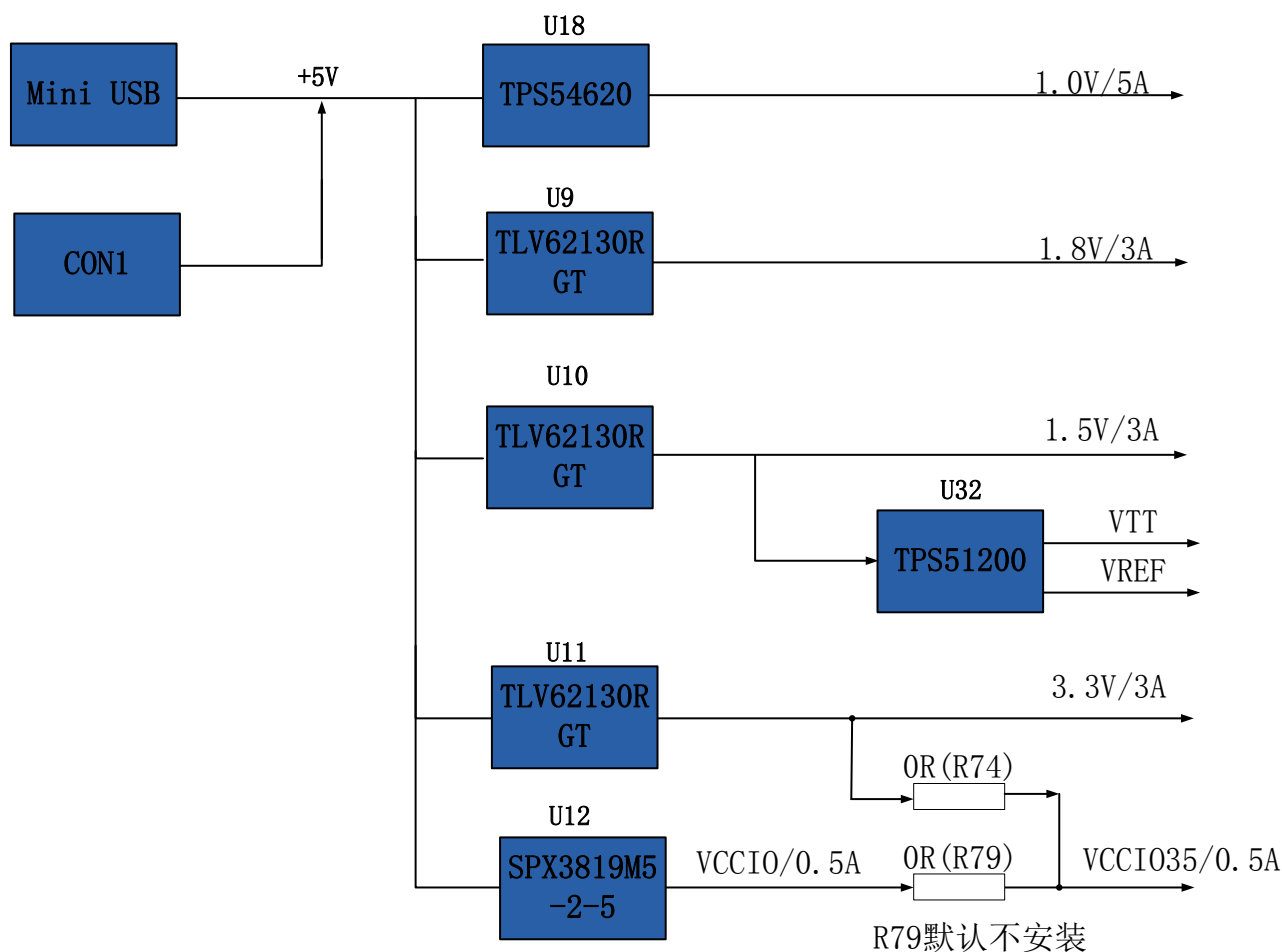


图 2-12-1 原理图中电源接口部分

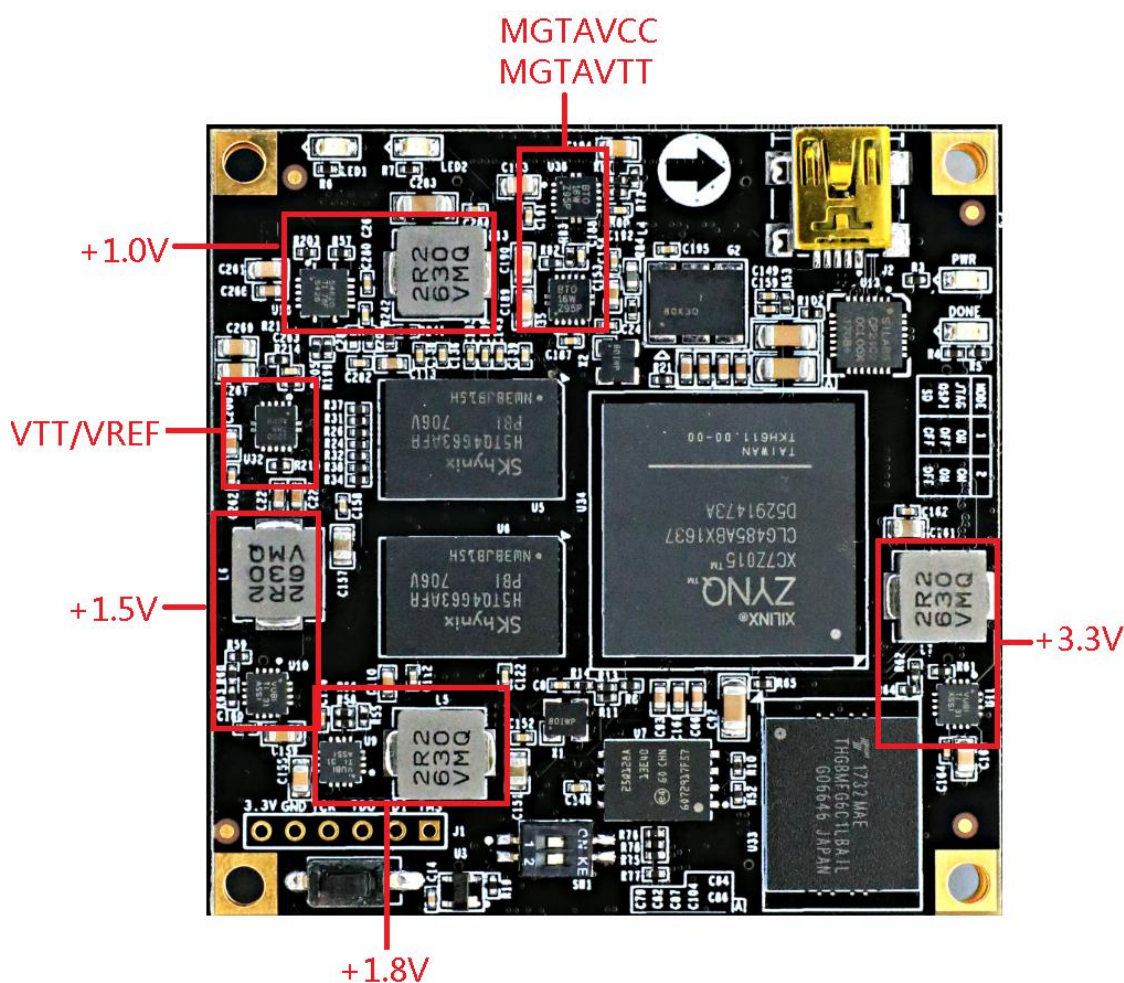
开发板通过+5V 供电, 通过四路 DC/DC 电源芯片 TPS54620 和 TLV62130RGT 转化成 +1.0V, +1.8V, +1.5V, +3.3V 四路电源, +1.0V 输出电流可高达 5A, 其它 3 路电源电流为 3A。另外通过一路 LDO SPX3819M5-2-5 产生 VCCIO 2.5V 电源, VCCIO 2.5V 电源主要是预留给 FPGA 的 BANK35 的 BANK 电源, 用户可以通过 2 个 0 欧姆电阻(R74,R79)来选择 BANK35 的电源。默认开发板上 R74 是安装的, R79 的电阻是不安装的, 所以 BANK35 的电源是+3.3V 的。用户可以通过更换电阻, 使得 BANK35 的 IO 输入输出为 2.5V 的电压标准。1.5V 通过 TI 的 TPS51200 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示:

电源	功能
+1.0V	ZYNQ PS 和 PL 部分的内核电压
+1.8V	ZYNQ PS 和 PL 部分辅助电压, BANK501 IO 电压, eMMC
+3.3V	ZYNQ Bank0, Bank500, Bank13, Bank34 的 VCCIO, QSIP FLASH, Clock 晶振

+1.5V	DDR3, ZYNQ Bank501
VREF, VTT ( +0.75V )	DDR3
VCCIO(+2.5V)	预留为 ZYNQ Bank35

因为 ZYNQ FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 芯片的电源要求设计，上电依次为+1.0V->+1.8V-> ( +1.5 V、+3.3V、VCCIO ) 的电路设计，保证芯片的正常工作。

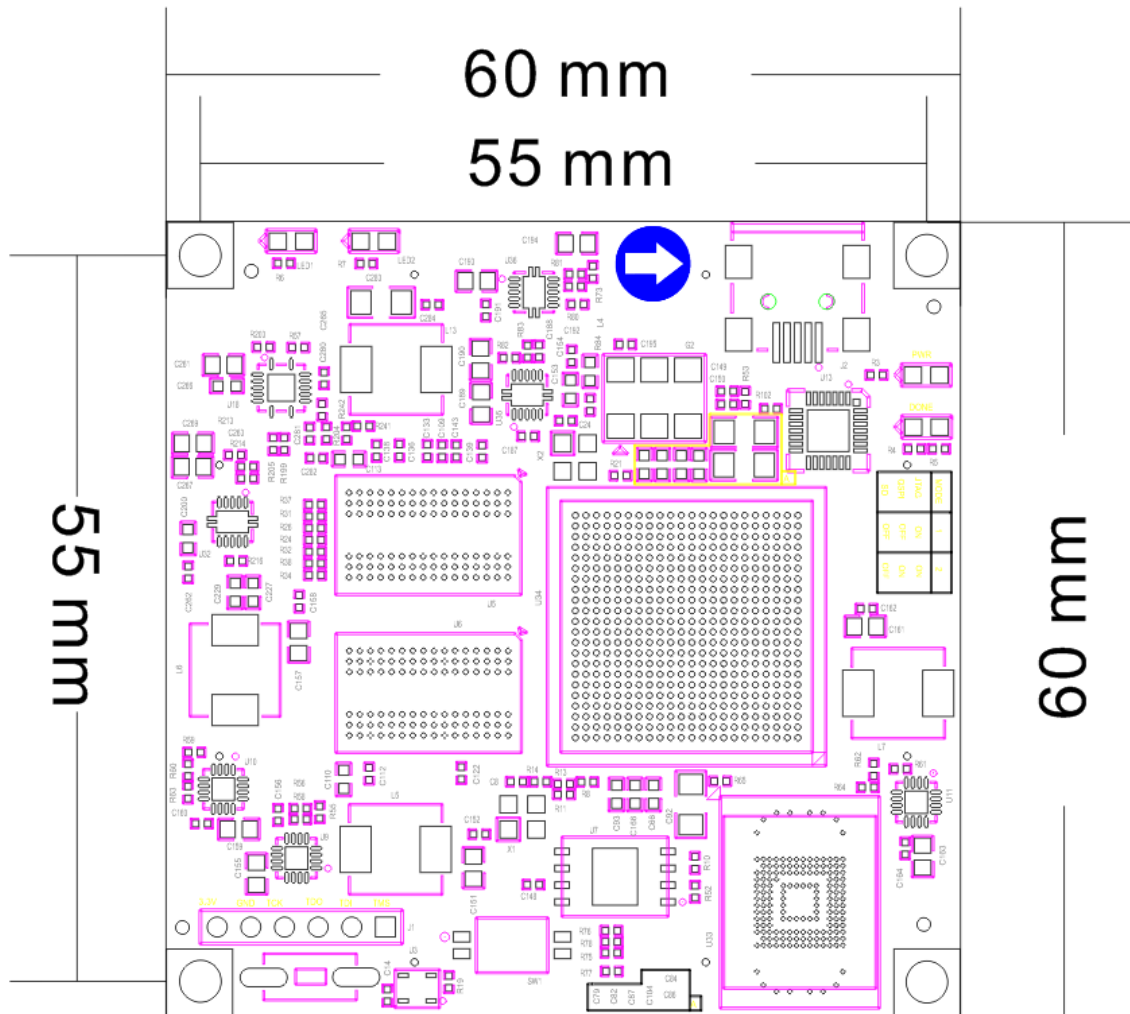
AC7015B 核心板的电源电路在板上的分别实物图所下图 2-12-2 所示。



2-11-2 核心板电源部分实物图



### (十三) 结构图



正面图 ( Top View )

### (十四) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器 ( CON1~CON4 ) 和底板连接，连接器的 PIN 脚间距为 0.5mm。其中 CON1 连接电源输入，PS 的 MIO 信号和 JTAG 信号，CON2~CON4 连接 PL 的 BANK13，BANK34，BANK35 的 IO 信号和 GTP 的收发器信号。BANK35 的 IO 电平可以通过更换板上的 LDO 芯片 ( U12 ) 来改变电平标准，默认是 3.3V。

#### CON1 连接器的引脚分配

CON1 管脚	信号名称	ZYNQ 引脚号	CON1 管脚	信号名称	ZYNQ 引脚号
1	+5V	-	2	+5V	-
3	+5V	-	4	+5V	-
5	+5V	-	6	+5V	-
7	+5V	-	8	+5V	-
9	GND	-	10	GND	-
11	PS_MIO13	A17	12	ETH_TXD0	E14
13	PS_MIO12	C18	14	ETH_TXD1	A16
15	-	-	16	ETH_TXD2	E13
17	-	-	18	ETH_TXD3	A15
19	GND	-	20	GND	-
21	-	-	22	ETH_TXCK	D17
23	-	-	24	ETH_TXCTL	F12
25	-	-	26	ETH_RXD3	A10
27	-	-	28	ETH_RXD2	F11
29	GND	-	30	GND	-
31	PS_MIO7	D18	32	ETH_RXD1	B16
33	PS_MIO8	E18	34	ETH_RXD0	E12
35	PS_MIO9	C19	36	ETH_RXCTL	D16
37	PS_MIO11	B19	38	ETH_RXCK	A9
39	GND	-	40	GND	-
41	-	-	42	ETH_MDC	D13
43	-	-	44	ETH_MDIO	C11
45	-	-	46	OTG_STP	A12
47	-	-	48	OTG_DIR	E15
49	GND	-	50	GND	-
51	XADC_VP	L12	52	OTG_CLK	A14
53	XADC_VN	M11	54	OTG_NXT	F14
55	-	-	56	OTG_DATA0	C16
57	PS_MIO10	G16	58	OTG_DATA1	G11
59	GND	-	60	GND	-

61	SD_CLK	E9	62	OTG_DATA2	B11
63	SD_D1	B12	64	OTG_DATA3	F9
65	SD_D0	D15	66	OTG_DATA4	A11
67	SD_CMD	C15	68	OTG_DATA5	B9
69	GND	-	70	GND	-
71	SD_D3	B14	72	OTG_DATA6	F10
73	SD_D2	E10	74	OTG_DATA7	C10
75	-	-	76	-	-
77	FPGA_TMS	H10	78	FPGA_TCK	H11
79	FPGA_TDO	G9	80	FPGA_TDI	H9

### CON2 连接器的引脚分配

CON2 管脚	信号名称	ZYNQ 引脚号	CON2 管脚	信号名称	ZYNQ 引脚号
1	B34_L19_N	N5	2	B34_L13_N	T1
3	B34_L19_P	N6	4	B34_L13_P	T2
5	B34_L2_P	J7	6	B34_L21_N	N3
7	B34_L2_N	J6	8	B34_L21_P	N4
9	GND	-	10	GND	-
11	B34_L1_P	J8	12	B34_L12_N	L4
13	B34_L1_N	K8	14	B34_L12_P	L5
15	B34_L11_N	K3	16	B35_L4_P	G8
17	B34_L11_P	K4	18	B35_L4_N	G7
19	GND	-	20	GND	-
21	B35_L24_P	H1	22	B35_L19_P	H4
23	B35_L24_N	G1	24	B35_L19_N	H3
25	B34_L8_N	J1	26	B35_L22_P	G3
27	B34_L8_P	J2	28	B35_L22_N	G2
29	GND	-	30	GND	-
31	B35_IO25	H5	32	B35_L21_P	E4
33	B35_IO0	H6	34	B35_L21_N	E3
35	B35_L20_P	G4	36	B35_L2_P	D7

37	B35_L20_N	F4	38	B35_L2_N	D6
39	GND	-	40	GND	-
41	B35_L5_P	F5	42	B35_L23_P	F2
43	B35_L5_N	E5	44	B35_L23_N	F1
45	B35_L6_P	G6	46	B35_L17_P	E2
47	B35_L6_N	F6	48	B35_L17_N	D2
49	GND	-	50	GND	-
51	B35_L1_N	E7	52	B35_L16_P	D1
53	B35_L1_P	F7	54	B35_L16_N	C1
55	B35_L14_P	D3	56	B35_L18_N	B1
57	B35_L14_N	C3	58	B35_L18_P	B2
59	GND	-	60	GND	-
61	B35_L12_N	C4	62	B35_L15_N	A1
63	B35_L12_P	D5	64	B35_L15_P	A2
65	B35_L11_N	C5	66	B35_L13_N	B3
67	B35_L11_P	C6	68	B35_L13_P	B4
69	GND	-	70	GND	-
71	B35_L3_P	E8	72	B35_L10_N	A4
73	B35_L3_N	D8	74	B35_L10_P	A5
75	B35_L8_P	B7	76	B35_L9_N	A6
77	B35_L8_N	B6	78	B35_L9_P	A7
79	B35_L7_P	C8	80	B35_L7_N	B8

### CON3 连接器的引脚分配

CON3 管脚	信号名称	ZYNQ 引脚号	CON3 管脚	信号名称	ZYNQ 引脚号
1	MGT_CLK0_P	U9	2	-	-
3	MGT_CLK0_N	V9	4	GND	-
5	GND	-	6	MGT_RX2_N	AB9
7	-	-	8	MGT_RX2_p	AA9
9	GND	-	10	GND	-
11	MGT_RX1_P	W8	12	-	-

13	MGT_RX1_N	Y8	14	GND	-
15	GND	-	16	MGT_TX2_P	AA5
17	-	-	18	MGT_TX2_N	AB5
19	GND	-	20	GND	-
21	MGT_TX1_P	W4	22	-	-
23	MGT_TX1_N	Y4	24	GND	-
25	GND	-	26	MGT_RX3_N	Y6
27	-	-	28	MGT_RX3_P	W6
29	GND	-	30	GND	-
31	MGT_RX0_P	AA7	32	-	-
33	MGT_RX0_N	AB7	34	GND	-
35	GND	-	36	MGT_TX3_P	W2
37	-	-	38	MGT_TX3_N	Y2
39	GND	-	40	GND	-
41	MGT_TX0_P	AA3	42	-	-
43	MGT_TX0_N	AB3	44	-	-
45	GND	-	46	B34_L3_P	K7
47	-	-	48	B34_L3_N	L7
49	GND	-	50	GND	-
51	B34_L4_N	M6	52	-	-
53	B34_L4_P	L6	54	-	-
55	-	-	56	B34_L14_N	U1
57	-	-	58	B34_L14_P	U2
59	GND	-	60	GND	-
61	B34_L20_N	P5	62	-	-
63	B34_L20_P	P6	64	-	-
65	-	-	66	B34_L9_N	J3
67	-	-	68	B34_L9_P	K2
69	GND	-	70	GND	-
71	B34_L10_N	L1	72	-	-
73	B34_L10_P	L2	74	-	-
75	-	-	76	-	-

77	B34_IO25	R8	78	B34_L7_P	J5
79	B34_IO0	H8	80	B34_L7_N	K5

## CON4 连接器的引脚分配

CON4 管脚	信号名称	ZYNQ 引脚号	CON4 管脚	信号名称	ZYNQ 引脚号
1	B13_L22_N	U18	2	B13_L20_P	U19
3	B13_L22_P	U17	4	B13_L20_N	V19
5	B13_L23_P	V16	6	B13_L19_N	T17
7	B13_L23_N	W16	8	B13_L19_P	R17
9	GND	-	10	GND	-
11	B13_L14_N	AA17	12	B13_L18_N	AA20
13	B13_L14_P	AA16	14	B13_L18_P	AA19
15	B13_L13_N	Y19	16	B13_L15_N	AB22
17	B13_L13_P	Y18	18	B13_L15_P	AB21
19	GND	-	20	GND	-
21	B13_L11_N	AA15	22	B13_L21_P	V18
23	B13_L11_P	AA14	24	B13_L21_N	W18
25	B13_L17_P	AB16	26	B13_L24_P	W17
27	B13_L17_N	AB17	28	B13_L24_N	Y17
29	GND	-	30	GND	-
31	B13_L16_N	AB19	32	B13_L2_P	V15
33	B13_L16_P	AB18	34	B13_L2_N	W15
35	B34_L22_P	M4	36	B13_L9_N	AB14
37	B34_L22_N	M3	38	B13_L9_P	AB13
39	GND	-	40	GND	-
41	B13_L12_N	Y15	42	B13_L6_N	U14
43	B13_IO25	U16	44	B13_L6_P	U13
45	B34_L6_P	M8	46	B34_L23_P	R5
47	B34_L6_N	M7	48	B34_L23_N	R4
49	GND	-	50	GND	-
51	B13_L1_N	V14	52	B13_L8_N	AB12

53	B13_L1_P	V13	54	B13_L8_P	AA12
55	B13_L7_N	AB11	56	B34_L17_N	R2
57	B13_L7_P	AA11	58	B34_L17_P	R3
59	GND	-	60	GND	-
61	B34_L24_P	P7	62	B34_L5_P	N8
63	B34_L24_N	R7	64	B34_L5_N	P8
65	B13_L4_P	V11	66	B34_L18_P	P3
67	B13_L4_N	W11	68	B34_L18_N	P2
69	GND	-	70	GND	-
71	B13_L3_P	W12	72	B13_L10_P	Y12
73	B13_L3_N	W13	74	B13_L10_N	Y13
75	B13_L5_N	U12	76	B34_L15_N	M1
77	B13_L5_P	U11	78	B34_L15_P	M2
79	B34_L16_N	P1	80	B34_L16_P	N1