



SALPHOENIX[®] 1A 系列 FPGA

数据手册

上海安路信息科技股份有限公司

DS_900 (v1.6.1) 2023 年 05 月



目 录

目 录.....	I
1 简介.....	1
1.1 SALPHOENIX®1A（以下简称 PH1A）系列器件特性.....	1
1.2 PH1A 器件介绍.....	4
2 PH1A 架构介绍.....	5
2.1 PLB 概述.....	8
2.1.1 PLB 结构.....	8
2.2 嵌入式存储器模块（ERAM）.....	10
2.2.1 ERAM SLICE 架构.....	10
2.2.2 ERAM20K 功能.....	10
2.3 时钟资源.....	12
2.3.1 全局时钟结构.....	12
2.4 锁相环（PLL）.....	13
2.4.1 简介.....	13
2.5 数字信号处理（DSP）.....	15
2.5.1 DSP 概览.....	15
2.6 SERDES(串行器/解串器)与 PCI Express 控制器.....	16
2.6.1 支持的高速协议.....	19
2.6.2 SERDES 结构和特性.....	19
2.6.3 PCI Express 控制器内部结构和特性.....	20
2.7 输入输出缓冲器（IOB）.....	22
2.7.1 IO 简介.....	22
2.8 PH1A FPGA 配置说明.....	25



2.8.1 配置模式.....	25
2.8.2 FPGA I/O 引脚在配置阶段的状态.....	25
2.8.3 Serial 配置模式.....	26
2.8.4 主动 SPI 配置模式.....	27
2.8.5 并行配置模式.....	29
2.8.6 JTAG 配置模式.....	30
2.9 SEU 检错和纠错模块.....	32
2.10 电压温度检测模块.....	33
2.11 DDR.....	34
2.12 MIPI DPHY-RX.....	35
2.12.1 功能特性.....	35
3 直流交流特性.....	36
3.1 直流电气特性.....	36
3.1.1 最大绝对额定值.....	36
3.1.2 推荐基本操作条件.....	38
3.1.3 器件静态供电电流.....	39
3.1.4 上下电时序.....	39
3.1.5 I/O 管脚电容.....	40
3.1.6 热插拔规格.....	40
3.1.7 I/O 直流电气特性.....	41
3.1.8 单端 I/O 直流电学特性.....	42
3.1.9 差分 I/O 电学特性.....	44
3.2 交流电气特性.....	46
3.2.1 时钟性能.....	46
3.2.2 嵌入数字信号处理模块 (DSP) 规格.....	47
3.2.3 存储器模块 (ERAM) 规格.....	47



3.2.4 锁相环 (PLL) 规格	47
3.2.5 电压温度检测指标	49
3.2.6 I/O 接口性能	49
3.2.7 配置模块	51
3.2.8 DDR	53
3.3 SERDES 串行收发器直流交流特性和规格	54
3.3.1 SERDES 串行收发器的直流参数	54
3.3.2 SERDES 串行收发器的交流参数	55
3.3.3 SERDES 串行收发器 CRI 接口时钟性能	55
3.3.4 SERDES 串行收发器 PLL 和 CDR 性能	56
3.3.5 SERDES 串行收发器的用户时钟交流特性	56
3.3.6 SERDES 发送器的交流特性	57
3.3.7 SERDES 接收器的交流特性	59
3.3.8 SERDES 串行收发器参考时钟性能	60
3.3.9 PCI Express 控制器输入时钟频率要求	61
3.4 MIPI DPHY-RX 直流电气特性	62
4 引脚和封装	63
4.1 IO 命名规则	63
4.2 引脚定义和规则	64
4.3 SFG900 引脚信息	67
4.4 SFG676 引脚信息 (PH1A400)	84
4.5 SFG676 引脚信息 (PH1A180)	97
4.6 GEG324 引脚信息	111
4.7 SBG484 引脚信息	117
4.8 SEG324 引脚信息	128
4.9 封装信息	134



4.9.1 SFG900 封装规格	134
4.9.2 SFG676 封装规格 (PH1A400)	136
4.9.3 SFG676 封装规格 (PH1A180)	138
4.9.4 GEG324 封装规格	139
4.9.5 SBG484 封装规格	140
4.9.6 SEG324 封装规格	141
5 订购信息	142
版本信息	144
免责声明	148



1 简介

1.1 SALPHOENIX®1A（以下简称 PH1A）系列器件特性

- 分布式和嵌入式存储器
 - 嵌入块存储器容量为 20Kbits,
 - 伪双口模式支持位宽 16K*1 到 512*40
 - 真双口模式支持位宽 16K*1 到 1K*20
 - 支持 ECC 模式
- 可配置逻辑模块 (PLBs)
 - 自主高效的双 LUT5 混合结构, 支持独立的双 LUT4 功能
 - 双端口分布式存储器
 - 支持算术逻辑运算
 - 快速进位链逻辑
 - 专用移位寄存器/锁存器
- DSP
 - 可支持两输入加法器、三输入加法器、乘法器和算术逻辑单元。
 - 扩展功能: 多位宽运算, 级联快速互连实现宽位宽的加法、乘法、逻辑运算
- 源同步输入/输出接口
 - HR I/O 支持 DDRx1 和 DDRx2
 - HP I/O 支持 SERDESx1、SERDESx2、SERDESx3.5、SERDESx4、SERDESx5
- 高性能, 灵活的输入/输出缓冲器
 - 可配置支持以下单端标准

HR I/O

 - LVTTTL33
 - LVCMOS (3.3/2.5/1.8/1.5)

HP I/O

 - HSTL_I (1.8V)
 - LVC MOS (1.8/1.5/1.2V)
 - HSTL_I (1.8V)
 - SSTL (1.2V/1.35/1.5V)
 - SSTL_I (1.8V)
 - POD12

HR I/O

 - 可配置支持以下差分标准

HR I/O

 - LVDS (2.5/1.8V)

HP I/O

 - LVDS (1.8V)
 - DIFF_HSTL_I (1.8V)
 - DIFF_SSTL (1.2V/1.35/1.5V)
 - DIFF_SSTL_I (1.8V)
 - DIFF_POD12
- 时钟资源
 - 提供高效灵活的层次化时钟

— 32 路全局时钟网络 (GCLK) 驱动全局

— 多区域时钟 (MLCLK) 驱动相邻区域

— 区域时钟 (LCLK) 驱动本区域

— I/O 时钟 (IOCLK) 为高速 I/O 接口提供



高性能时钟

- 支持 PLLs 用于频率相位合成
 - 单个支持 7 路时钟输出（支持取反输出）
 - 占空比调整
 - 相位调整
 - 支持小数分频
 - 动态相位调整
 - 动态配置
 - 时钟展频（SSC）

■ 配置模式

- 从动串行（Slave Serial）
- 主动 SPI（x1/x2/x4）
- 从动并行 x8/x16/x32（Slave Parallel）
- JTAG 模式

■ SERDES

- PH1A60 器件不支持 SERDES
- 通道支持从 1.2Gbps 到 12.5Gbps 的速率
- 集成一个 PCI Express 的硬核，支持 GEN1/2/3，支持 X1、X2 和 X4 模式
- 支持 CPRI、SGMII、JESD204B、SRIO、XAUI、RXAUI、100BASE-KX、10GBASE-KX4、GEI 等多种协议

■ MIPI DPHY-RX

- 2 组 MIPI DPHY-RX，最大支持 4 Lane 模式
- MIPI 模式下，支持 High Speed（以下简称 HS）数据接收和数据通道 Lane0 Low Power（以下简称 LP）数据收发
- 支持动态 skew 调节
- 支持 LVCMOS15/18 和 LVDS18/25 输入

■ DDR

- PH1A60 器件不支持 DDR
- 支持 DDR3 和 DDR4 存储接口

■ 内置电压温度检测模块

- 集成高精度电压温度检测模块，支持电压和温度的实时监测

■ BSCAN

- 兼容 IEEE-1149.1

■ 增强的安全设计保护

- 每个芯片拥有唯一的 64 位 DNA

■ SEU 检错和纠错

- 支持单 bit 检错和纠错
- 支持双 bit 检错

■ 多种封装形式

- SFG900 Fine pitch BGA、Green, 31mm x 31mm, 1mm pitch
- SFG676 Fine pitch BGA、Green, 27mm x 27mm, 1mm pitch
- SBG484 WBBGA、Green, 23mm x 23mm, 1mm pitch
- GEG324 WBBGA、Green, 15mm x 15mm, 0.8mm pitch
- SEG324 LFBGA、Green, 15mm x 15mm, 0.8mm pitch



表 1-1 PH1A FPGA 系列选型表

Device	LUT4s	DFFs	Dis-RAM (Kbits)	ERAM		DSP	PLL	MIPI DPHY-RX	MAX user IO (HR/HP/MIPI)
				20K	Total (Kbits)				
PH1A60	70, 848	78, 720	676	158	3, 160	120	12	-	211/0/0
PH1A90	115, 776	128, 640	1, 720	272	5, 440	240	12	2	170/90/20
PH1A180	210, 240	233, 600	3, 379	646	12, 920	600	16	2	226/150/20
PH1A400	417, 024	463, 360	5, 632	914	18, 280	840	20	-	350/150/0

表 1-2 PH1A FPGA 封装类型

Device	Package			Serdes		PCIe	DDR				I/O ¹			
	Type	Size (mm)	Pitch (mm)	Channels	Max Data rate (Gbps)		DDR3 (Mbps)	DDR4 (Mbps)	PPC	Max Width	HR	HP	MIPI DPHY- RX	Total
PH1A60	GEG324	15x15	0.8	-	-	-	-	-	-	-	211 (100) ¹	-	-	211
PH1A90	SBG484	23x23	1.0	4	10.3125	GEN1/2/3	1,066	-	1	x40	170 (81)	90 (43)	20 (10)	280
	SEG324	15x15	0.8	8	6.25	GEN1/2	1,066	-	1	x16	98 (47)	50 (24)	-	148
PH1A180	SFG676	27x27	1.0	8	12.5	GEN1/2/3	1,866	1,866	2	x72	226 (108)	150 (72)	20 (10)	396
PH1A400	SFG676	27x27	1.0	8	12.5	GEN1/2/3	1,866	1,866	2	x72	250 (120)	150 (72)	-	400
	SFG900	31x31	1.0	16	12.5		1,866	1,866	2	x72	350 (168)	150 (72)	-	500

注：1. 211 (100) 表示：用户可用 I/O 数量（用户可用真差分对数量）



1.2 PH1A 器件介绍

随着科技的发展，现有的数字产品已经不能满足人们在通信基础设施、医疗电子、工业控制等行业的需求，设计出更高的处理带宽，更广的应用范围、更低的使用功耗的芯片成为芯片厂商的追求。

安路科技 PH1A 系列 FPGA 包含最多 417k 逻辑单元、高速串行的 I/O、丰富的存储资源和 IP 资源，定位低成本、高性能可编程逻辑市场。

针对高带宽应用场景，PH1A 能够在保持低功耗的前提下，提供同类最佳的收发器和信号处理功能。PH1A 能够满足通信基础设施、医疗、工业、消费电子等尺寸、重量、功耗和成本敏感型市场，给开发人员提供更优的解决方案。

安路科技提供丰富的设计工具帮助用户有效地利用 PH1A 平台实现复杂设计。业界领先的综合和布局布线工具，同时提供各种 IP 资源，方便用户直接调用调试，解决了复杂逻辑带来的资源不足的问题，为用户设计高质量产品提供有力保障。

2 PH1A 架构介绍

PH1A 系列 FPGA 底层由 I/O、PLL、ERAM、DSP、PLB、PMB、SERDES 等模块构成，具体器件结构如下图所示。

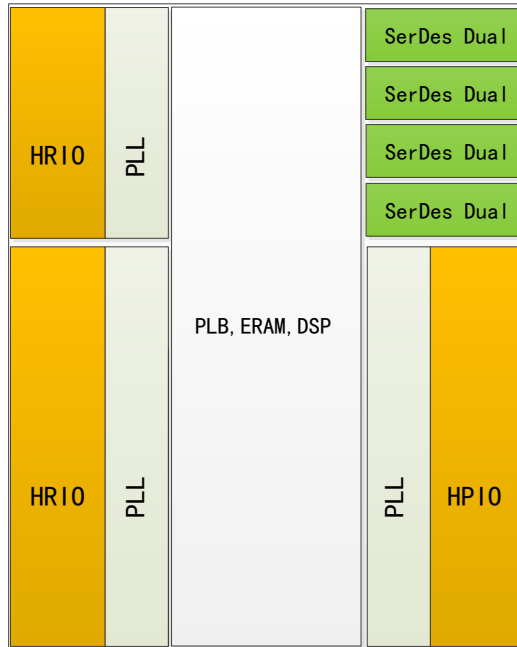


图 2-1 PH1A400SFG676 器件架构图

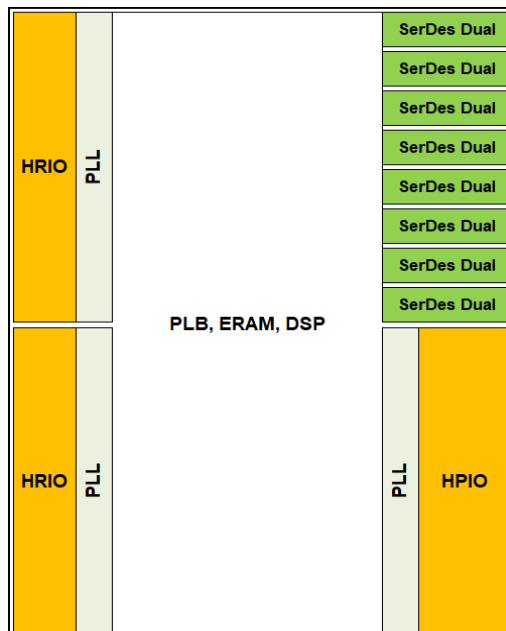


图 2-2 PH1A400SFG900 器件架构图

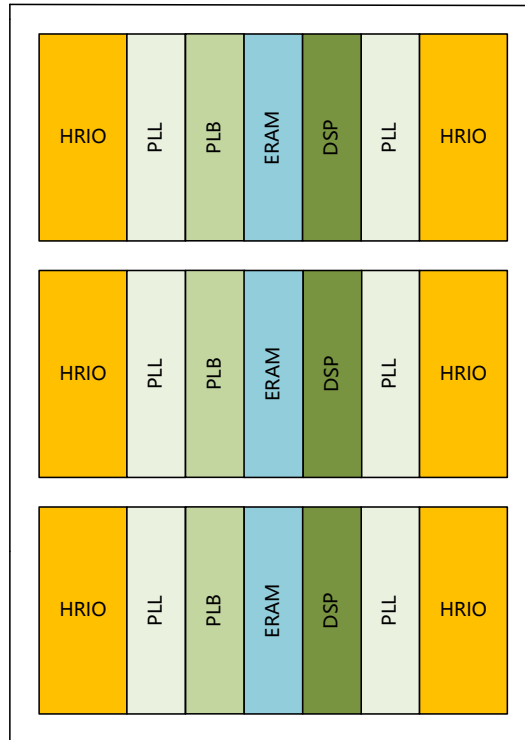


图 2-3 PH1A60GEG324 器件架构图

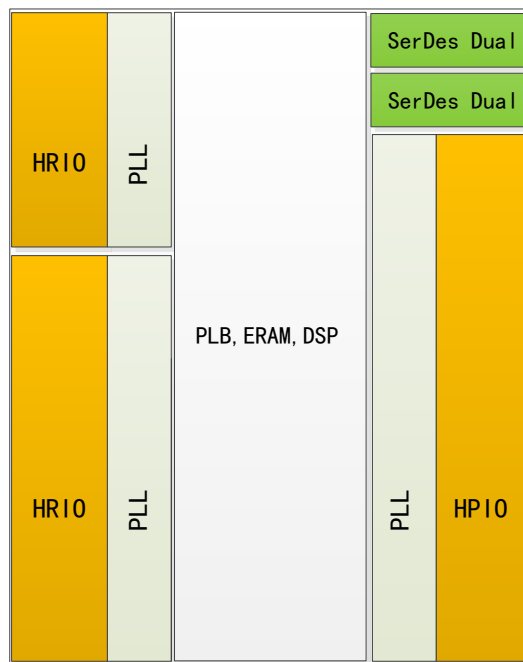


图 2-4 PH1A90SBG484 器件架构图

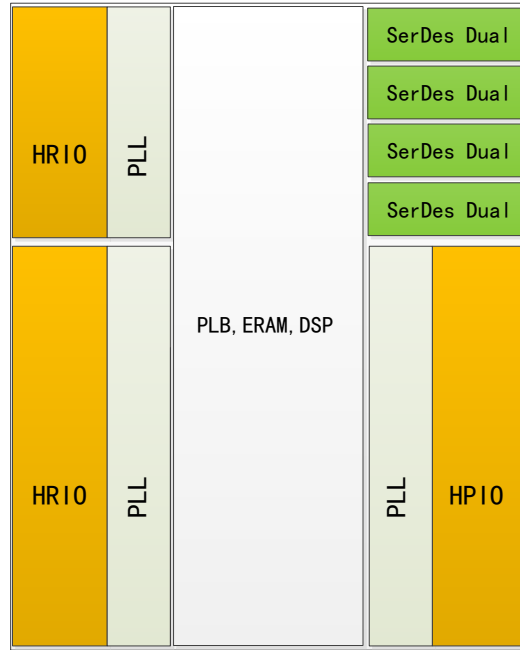


图 2-5 PH1A90SEG324 器件架构图

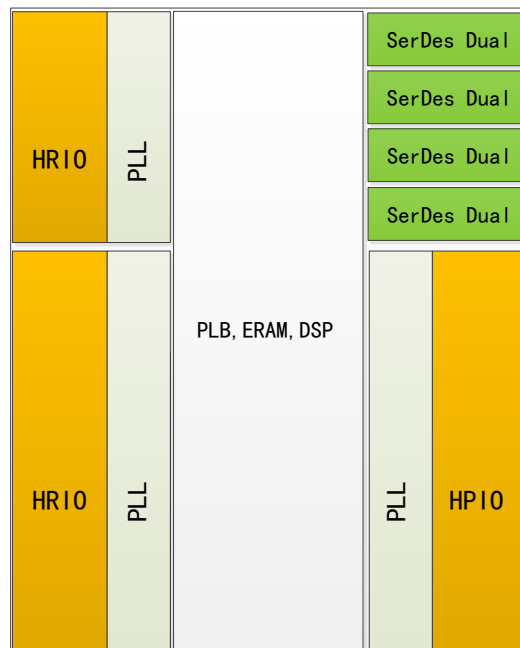


图 2-6 PH1A180SFG676 器件架构图

2.1 PLB 概述

PH1A 系列 FPGA 中提供了高性能的 Programmable Logic Block (可编程逻辑块 PLB) 结构，主要特点如下：

- 自主高效的双 LUT5 混合结构或者独立的双 LUT4 功能
- 能够实现分布式存储器
- 专用的移位寄存器资源
- 先进的全加器和进位链结构
- 灵活的组合拼接扩展功能
- 带复位/置位的锁存器资源

2.1.1 PLB 结构

可编程逻辑阵列如图 2-1-1 所示，主要有 PLB、PMB 和 IP 三类模块。PLB 和 PMB 带有可编程逻辑功能，IP 具有特定功能，比如：DSP，ERAM 等硬件模块。PLB 包括 Routing Switch Block (可编程互连单元) 和 Programmable Functional Unit (可编程功能单元)；PMB 包括 Routing Switch Block 和 Programmable Memory Unit (可编程功能/存储单元)。

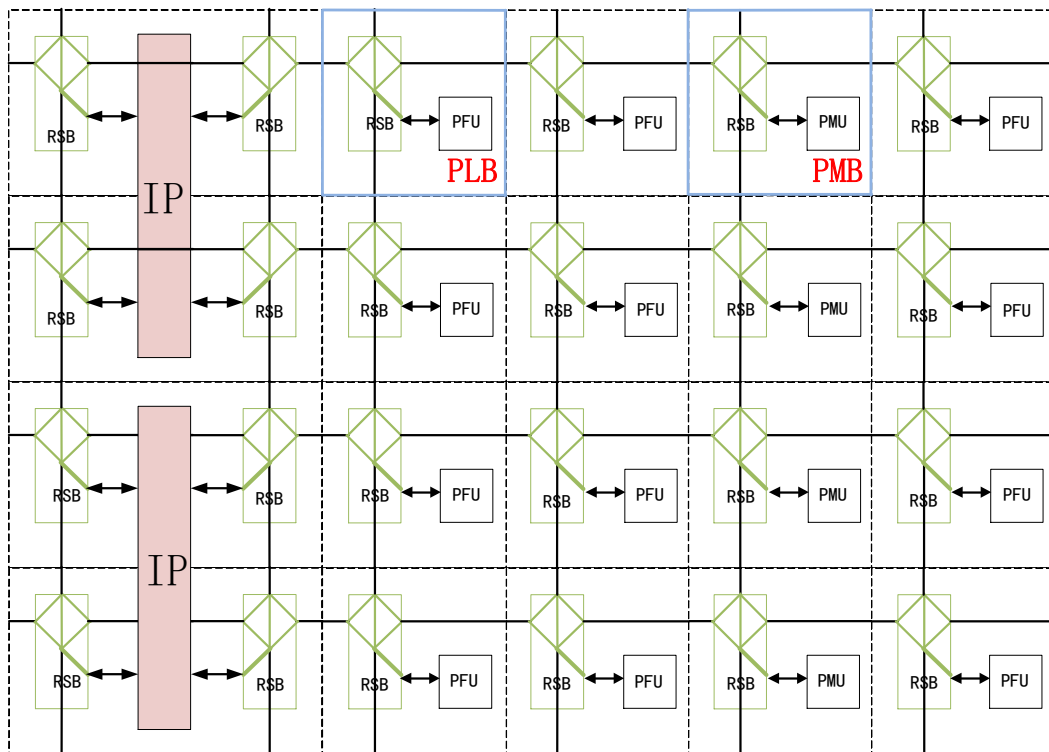


图 2-1-1 可编程逻辑阵列单元示意图

RSB 是 Routing Switch Block 的简称，包括了单元间的连线以及互连单元。以实现可编程的连接



关系，RSB 只负责实现逻辑单元之间的信号传输，以及逻辑单元和内嵌其它 IP 单元的连接，不带有逻辑功能。

PFU 是 Programmable Functional Unit 的简称，PFU 负责实现用户逻辑中的各种组合/时序功能。包含有查找表、加法器逻辑和 DFF。

PMU 是 Programmable Memory Unit 的简称，PMU 除能够实现所有的 PFU 功能外，还可以实现额外的分布式 RAM 功能/移位器功能和 LATCH 功能。

2.2 嵌入式存储器模块（ERAM）

2.2.1 ERAM SLICE 架构

PH1A 系列 FPGA，每个 ERAM SLICE 包含两个独立的 ERAM20K。具体架构框图如图 2-2-1 所示，每个 ERAM SLICE 可以实现：

- 2 个 ERAM20K

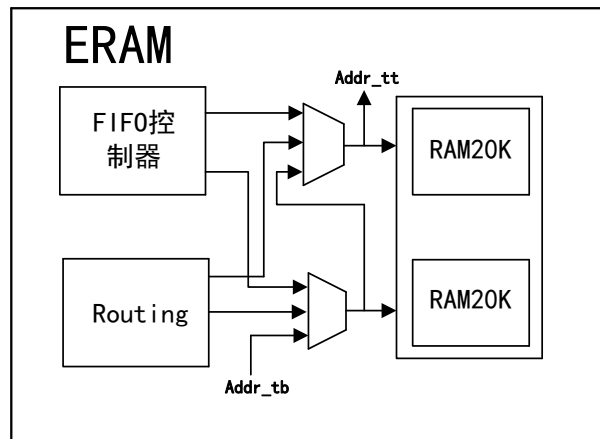


图 2-2-1 ERAM SLICE 架构

注：PH1A 器件不支持 FIFO 控制器；

2.2.2 ERAM20K 功能

ERAM20K 每块容量 20Kbits，可实现：

- 单口 RAM/ROM
- 双口 RAM
- 简单双口 RAM（也称为伪双口 SDP）

ERAM20K 模块支持的功能特色有：

- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，真双口从 x1 到 x20，支持 x40 简单双口（一写一读）
- 写操作时带有字节使能（Byte Enable）控制
- 输出锁存器/锁存器可选择
- 支持 RAM/ROM 模式下数据初始化（通过初始化文件在配置过程中对 ERAM20K 数据初始化）



- 支持多种写操作模式。只写 (Write Disable Read)，先读后写 (Read Before Write)，写穿通 (Write Before Read) 三种模式。

表 2-2-1 ERAM20K 特色

类别	特性
容量	20K
配置(深度 x 位宽) 真双口	16K x 1 8K x 2 4K x 5 2K x 10 1K x 20 512 x 40 (简单双口 W40R40 模式, 支持 ECC)
字节使能 (Byte enable)	有且必须 1Kx20 时 2 字节独立选择 512x40 时 4 字节独立选择
输入地址/数据寄存器	有
单口模式 (Single-port mode)	x1, x2, x5, x10, x20, x40 (AB 口组合)
简单双口模式 (Simple dual-port mode)	支持 1~40 位宽 A 口写, B 口读
真双口模式 (True dual-port mode)	x1, x2, x5, x10, x20
ECC 模式位宽	W40R40 (简单双口): 32 (DATA) +7 (ECC)
ROM 模式	支持
数据输出寄存器 ¹	可选择有或没有, orst 可选择同步/异步, 复位/置位
数据输出 latch	有, orst 异步复位/置位
写模式	输出新数据 (Write Before Read) 输出旧数据 (Read Before Write) 输出不变 (Write Disable Read)
工作前 RAM 初始化	支持

注: 1. 输出复位/置位功能需要配合 oce 信号使用才能生效;

2.3 时钟资源

PH1A 系列 FPGA 提供了丰富的时钟资源方便客户进行各项复杂的方案设计，以使得系统性能达到最优。同时 PH1A 系列 FPGA 提供用户层次化的时钟网络，可以实现多个区域的时钟互连。PH1A 系列时钟网络主要包括以下模块：

- 全局时钟网络（GCLK）：能够提供高扇出的时钟分布
- 多区域本地时钟（MLCLK）：提供相邻区域的时钟分布
- 本地时钟网络（LCLK）：低偏斜以及低插入延时的本区域时钟分布
- 时钟区域（clock region）：每个时钟区域横跨器件的半边区域且高度为 40 个 PLB
- I/O 时钟网络（IOCLK）：为高速接口提供高性能时钟

2.3.1 全局时钟结构

PH1A400 和 PH1A180 器件芯片的左右两个半区各有 7 个时钟区域，左半区时钟和右半区下面 3 个时钟区域的时钟网络架构完全一致，右半区的上面 4 个时钟区域包含了 Serdes 的时钟网络，能够为高速接口提供可选的时钟输入，具体结构如图 2-3-1 所示。

PH1A60 器件芯片的左右两个半区各有 3 个时钟区域，且不包含 Serdes 时钟网络。

PH1A90 器件芯片的左右两个半区各有 4 个时钟区域，右半区的上面 2 个时钟区域包含了 Serdes 时钟网络。

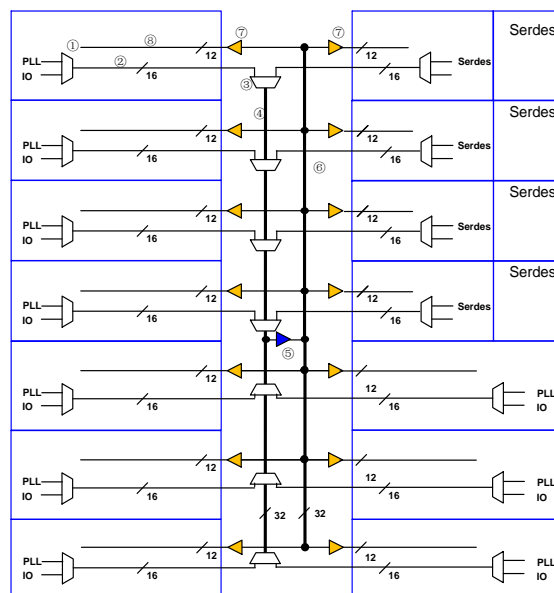


图 2-3-1 PH1A400 器件时钟网络模块结构图

2.4 锁相环 (PLL)

2.4.1 简介

PH1A 系列 FPGA 内嵌多功能锁相环，可实现高性能时钟管理功能。可以实现时钟分频、倍频、占空比调整、反馈模式选择、输出时钟相位调整等功能。

用户在使用中应关注 PLL 的 lock 信号是否为高，同时建议用户等待输入信号稳定后，再给锁相环进行复位以保证锁相环输出时钟信号的频率和相位稳定。

PLL 参考时钟输入有：时钟网络输出、互连输出和内部振荡器输出。

PLL 反馈时钟输入有：时钟网络输出、全局时钟末端节点、互连输出、PLL 内部反馈时钟以及相移时钟 C0~C6。

PLL 支持 7 路输出，并且每一路输出的相位和占空比都可以调节，同时输出支持单端输出和取反输出。

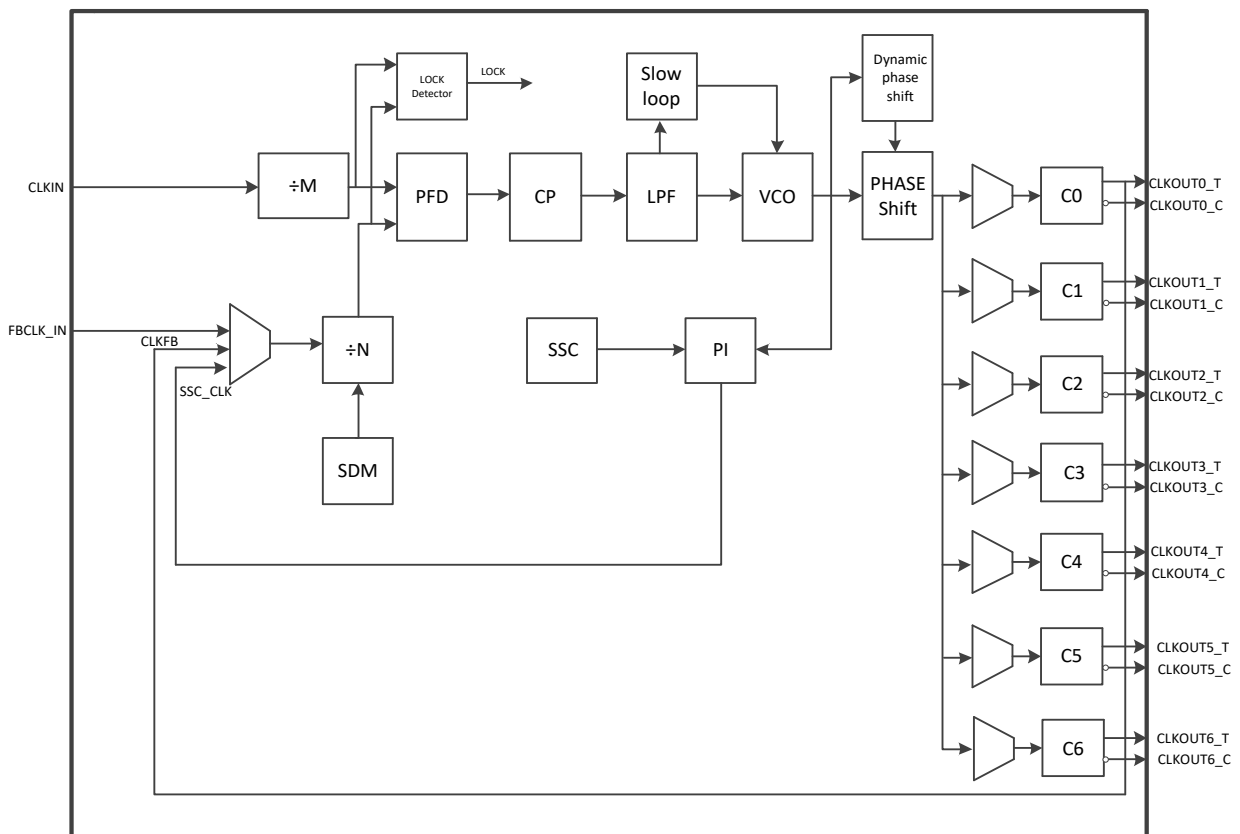


图 2-4-1 PH1A 系列 PLL 架构图



表 2-4-1 PH1A PLL 特性表

Feature	PH1A PLL
时钟输出端口数	7 (支持反向输出)
参考时钟分频系数 (M)	1 to 128
反馈时钟分频系数 (N)	1 to 128
输出时钟分频系数 (CO-6)	1 to 128
相移分辨率	45° (相对 VCO)
锁定状态输出	Lock
带宽	HIGH、LOW、MEDIUM
占空比调整	支持
小数分频	支持 (VCO 频率为输入参考时钟频率的小数倍)
展频 (SSC)	支持
动态配置	支持
动态相位调整	支持



2.5 数字信号处理 (DSP)

数字信号处理中将使用大量的加法、乘法和累加运算；在 FPGA 中如利用 LUT 实现，较大的延迟将限制处理速率；利用 PH1A 系列 DSP 实现以上操作，将大大的降低处理延迟。

2.5.1 DSP 概览

PH1A 系列 FPGA 采用微型总线式架构，包含五大处理单元：包括两输入加法器、乘法器、三输入加法器、逻辑运算单元、流水线管理单元。

- 支持两输入的 27-bit 加法运算；
- 支持三输入带进位 54-bit 加法运算；
- 支持将三输入带进位 54-bit 加法器拆分为两个 27-bit 加法器；
- 支持进行输入数 EXTEND、ROUND、SHIFT，输入进位取反；
- 支持 OVERFLOW 和 UNDERFLOW；
- 支持 27 x 18-bit 乘法器（有符号的二进制补码）；
- 支持两输入 54-bit 按位逻辑操作，包括 AND、NAND、OR、NOR、XOR、XNOR 和 NOT；
- 支持宽位异或操作，单个 DSP 可实现最多 108-bit XOR 操作，或拆分为两个 54-bit XOR 操作；
- 支持对输入信号进行一级或两级锁存；
- 支持对输入信号进行动态选择切换；
- 支持快速输入输出互联。

2.6 SERDES (串行器/解串器) 与 PCI Express 控制器

PH1A 器件最多提供 8 个 SERDES DUAL 共 16 路 SERDES 收发器。PH1A60 器件不包含 SERDES DUAL。下图为 PH1A 器件的 SERDES 资源示意图。

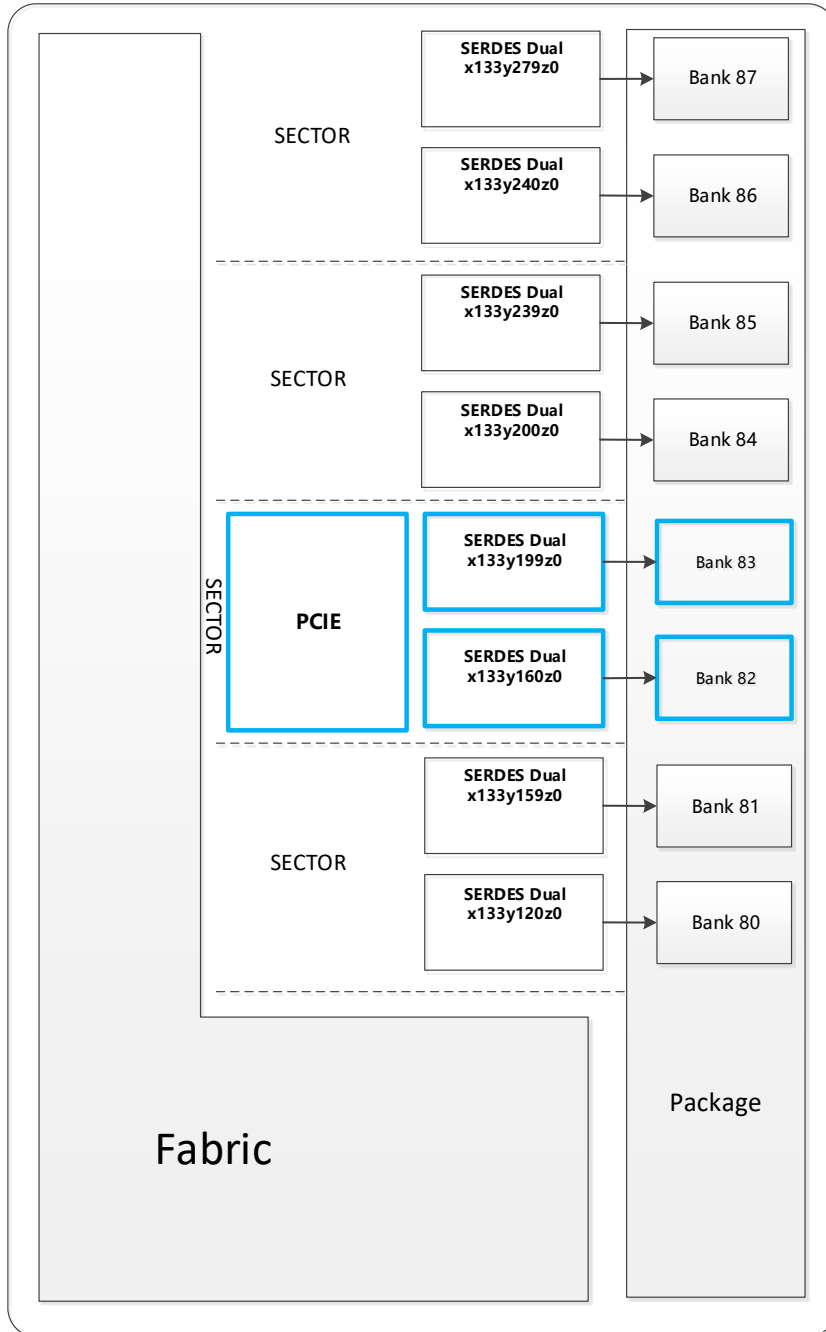


图 2-6-2 PH1A400SFG900 SERDES 资源示意图

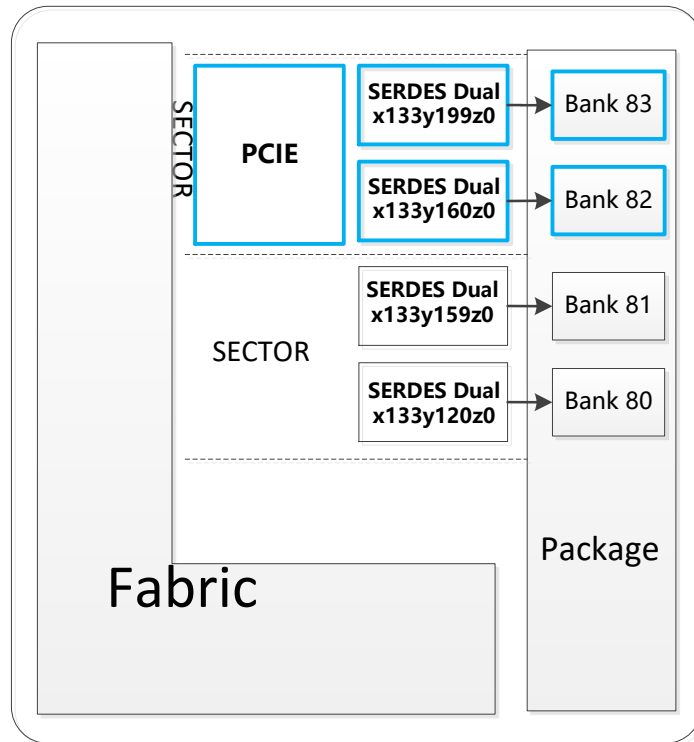


图 2-6-3 PH1A400SFG676 SERDES 资源示意图

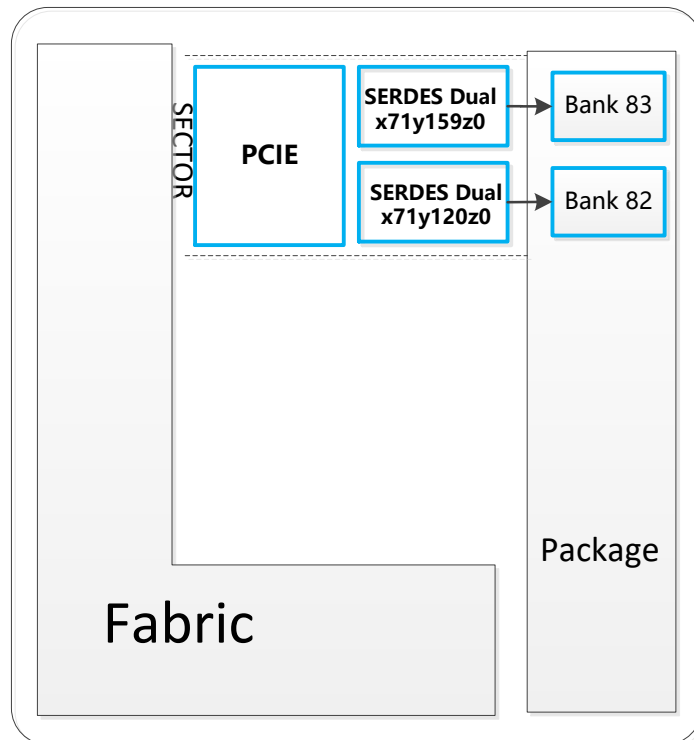


图 2-6-4 PH1A90SBG484 SERDES 资源示意图

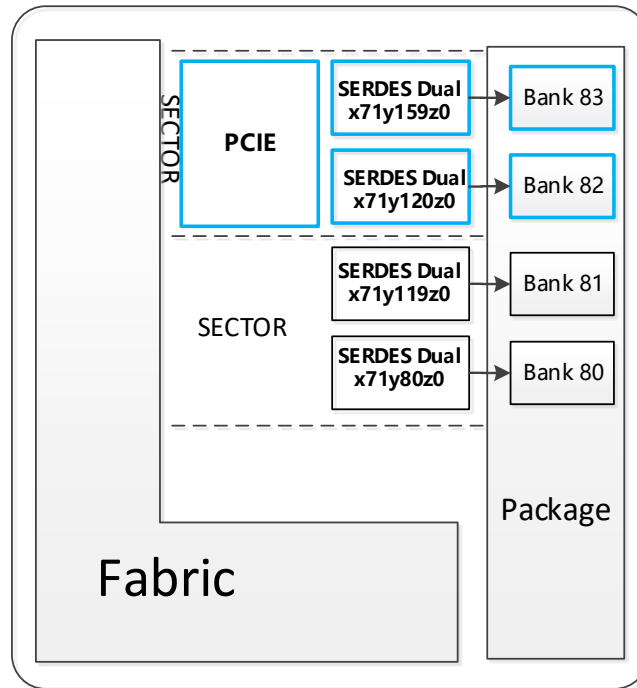


图 2-6-5 PH1A90SEG324 SERDES 资源示意图

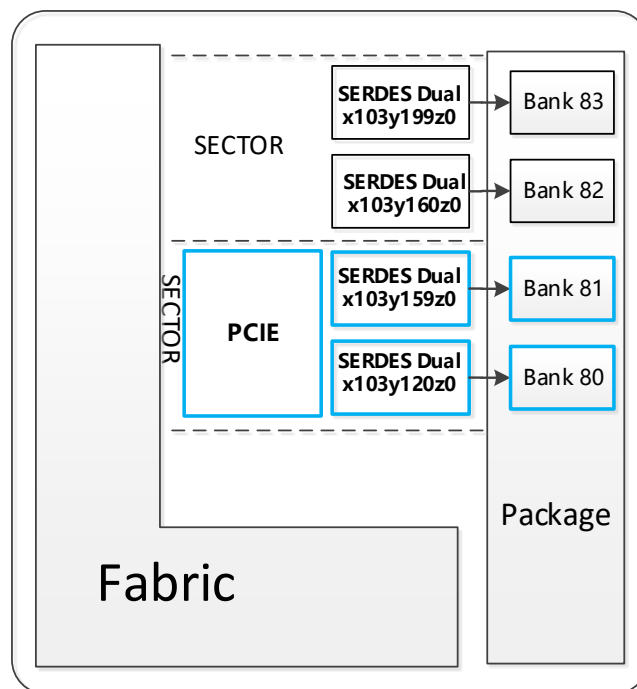


图 2-6-6 PH1A180SFG676 SERDES 资源示意图

2.6.1 支持的高速协议

参见《UG909_安路科技 PH1A 系列 FPGA SERDES 用户手册》。

2.6.2 SERDES 结构和特性

SERDES 内部结构参见《UG909_安路科技 PH1A 系列 FPGA SERDES 用户手册》，SERDES 主要特性如下表所示。

表 2-6-1 SERDES 特性

模块	特性	PH1A
PMA	Shared LC tank PLLs per Dual	2
	Flexible reference clocking options	Y
	Decision feedback equalization (DFE)	5-TAP
	continuous-time linear equalizer (CTLE)	Y
	TX Pre-emphasis	Y
	Beacon signaling for PCI Express	Y
	RX Margin Analysis	Y
	Dedicated pin for recovered clock output	Y
	Serial data near-end and far-end loopback	Y
PCS	Programmable FPGA logic interface : N-byte internal data path	1/2/4/8
	TX gear shifting	64:16, 80:20, 32:8, 40:10, 32:16, 40:20, 16:8, 20:10
	8B/10B encoding	Y
	Running disparity generation and TX polarity inversion	Y
	TX bit slip	Y
	TX bit reversal and byte reversal	Y
	PRBS generator and checker	Y
	RX differential polarity inversion	Y
	Word alignment	Y
	8B/10B decoding	Y
	Running disparity controlling and checking	Y
	RX bit reversal and byte reversal	Y
	PRBS check	Y
	RX gear shifting	16:64, 20:80, 8:32, 10:40, 16:32, 20:40, 8:16, 10:20
Parallel data near-end and far-end loopback	Y	

2.6.3 PCI Express 控制器内部结构和特性

PH1A 系列 FPGA 的 PCI Express 控制器最高带宽是 8Gb/s，可配置成 1-lane 或 2-lane 或 4-lane 的 PCI Express Endpoint (EP)，也可配置成 1-lane 或 2-lane 或 4-lane 的 PCI Express Root Complex (RC)。PH1A60 器件不包含 PCI Express 控制器。PCI Express 控制器内部结构参见《UG913_安路科技 PH1A 系列 FPGA PCIe 用户手册》。PCI Express 控制器支持的主要特性如下：

- PCI Express Base Specification, Revision 5.0, Version 1.0 中所有的必选功能（线速率目前最高支持到 Gen3）。
- 还支持以下 PCI Express Base Specification, Revision 5.0, Version 1.0 中的部分可选功能：
 - Single Root I/O Virtualization (SR-IOV)
 - Alternative Routing-ID Interpretation (ARI)
 - Address Translation Services (ATS)
 - Page Request Services (PRS)
 - Function Level Reset (FLR)
 - ID-Based Ordering (IDO)
 - TLP Processing Hints (TPH)
 - Atomic Operations
 - Dynamic Power Allocation (DPA)
 - L1 Substates (L1SS)
 - Extended Tag Support
 - Separate Refclk with Independent Spread Spectrum Clocking (SRIS)
 - Gen3 Receiver Impedance
 - Readiness Notifications (RN)
 - PCI Express Active State Power Management (ASPM)
 - PCI Express Advanced Error Reporting (AER) with Multiple Header Logging
 - Access Control Services (ACS)
- 支持 RC (Root Complex) 模式和 EP 模式
- 支持 GEN1/2/3，支持 X1、X2 和 X4 模式



- 支持先进的时钟和功耗管理(L1 的子状态)
- 内置了地址翻译单元 (iATU, internal address translation unit)
- 支持自动 Lane 反转 (Reversal)
- 支持 Upconfigure
- 支持 2 个带 ARI 或 SR-IOV 的 PF (Physical Function), 每个 PF 支持 2 个 Virtual Function
- 支持 RAS DES (Debug, Error injection, and Statistics)
- 支持 ECRC 产生和检查
- 只支持 VCO
- Max_Payload_Size 最高 2 KB
- 支持对 Posted, Non-posted, and Completion 实施可配置的过滤规则
- 支持基于 BAR 的地址过滤、I/O 过滤、Configuration 事务过滤和 Completion 查找表和 Timeout
- 支持 2 组用户侧发送端口
- 支持带 Per-Vector Masking (PVM)的 MSI, 支持 MSI 扩展消息数据
- 支持带 Per-Vector Masking (PVM)的 MSI-X
- 支持 Type 0 配置空间
- RC 支持 Type 1 配置空间
- 如果 PCIe 控制器检测不到 Lane 0, 支持用户手动进行 Lane Reversal
- 支持通过 PHY CRI 接口访问 PHY 寄存器

2.7 输入输出缓冲器 (IOB)

2.7.1 IO 简介

PH1A系列FPGA具有可配置、高性能的I/O驱动器和接收器，可支持丰富的标准接口，并且支持热插拔功能。PH1A系列FPGA有HR和HP两种I/O类型。

HR 支持的电平标准:

- 单端 I/O 标准输出 (LVCMOS33、LVCMOS25、LVCMOS18、LVCMOS15、LVTTL33、HSTL18_I)
- 单端 I/O 标准输入 (LVCMOS33、LVCMOS25、LVCMOS18、LVCMOS15、LVTTL33、HSTL18_I)
- 差分 I/O 标准输出 (LVDS25、LVDS18、LVPECL_E⁽¹⁾、LVDS25_E、LVDS33_E)
- 差分 I/O 标准输入 (LVDS25、LVDS18^{(2) (3)})

HR 支持上述电平标准的同时，HR 支持以下配置项:

- 输出驱动能力调节 (4mA、8mA、12mA、16mA)
- 输出 Slew Rate 调节 (Fast、Medium、Slow)
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

HP 支持的电平标准:

- 单端 I/O 标准输出 (LVCMOS18、LVCMOS15、LVCMOS12、HSTL18_I、SSTL18_I、SSTL15、SSTL135、SSTL12、POD12)
- 单端 I/O 标准输入 (LVCMOS18、LVCMOS15、LVCMOS12、HSTL18_I、SSTL18_I、SSTL15、SSTL135、SSTL12、POD12)
- 差分 I/O 标准输出 (LVDS18、DIFF_HSTL18_I、DIFF_SSTL18_I、DIFF_SSTL15、DIFF_SSTL135、DIFF_SSTL12、DIFF_POD12)
- 差分 I/O 标准输入 (LVDS18、DIFF_HSTL18_I、DIFF_SSTL18_I、DIFF_SSTL15、DIFF_SSTL135、DIFF_SSTL12、DIFF_POD12)

HP 支持上述电平标准的同时，HP 支持以下配置项:

- 输出驱动能力调节 (4mA、8mA、12mA)
- 输出 Slew Rate 调节 (Fast、Medium、Slow)



- 弱上拉/下拉电阻选择配置
- Bus Hold 功能使能
- 外部 VREF 输入引脚配置
- 内部 VREF 电压配置
- DDR 模式配置
- LV DSTX 预加重功能使能

注:

- 1) LVPECL_E、LVDS25_E、LVDS33_E 的输出，由 LVCMOS I/O 搭配板级电阻网络实现其功能。
- 2) 对于 HR I/O 差分输入，I/O 仅支持 LVDS25 和 LVDS18 信号输入而且对差分 and 共模信号范围有明确要求。对外部电路发送来的 LVPECL 信号，甚至包括 LVDS25 和 LVDS18 信号，需要检查信号共模和差分信号有没有超出 I/O 输入范围。如果超过 I/O 输入范围，必须要使用板级电阻电容网络调节差分 and 共模电平以满足 I/O 信号范围要求，具体参数请参照交直流参数章节。超出 I/O 规定的共模 and 差分范围会导致 I/O 工作不正常甚至损坏芯片。
- 3) 如果 BANK 供电电压为 3.3V，则只支持 LVDS 输入，且只能使用 AC 耦合电路，DC 共模电压为 1.65V。同时不支持 LVDS 输出。具体电路参见“PH1A 系列 FPGA I/O 用户手册”

表 2-7-1 列出了 PH1A 系列 FPGA 支持的电气特性

表 2-7-1 PH1A 支持电气标准

Description	HR I/O	HP I/O
I/O Buffer Type	Single Ended/Differential	Single Ended/Differential
Output Standards Supported	LVTTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 HSTL18_I LVPECL_E LVDS33_E LVDS25_E LVDS25 LVDS18	LVCMOS18 LVCMOS15 LVCMOS12 HSTL18_I SSTL18_I SSTL15 SSTL135 SSTL12 POD12 LVDS18 DIFF_HSTL18_I DIFF_SSTL18_I DIFF_SSTL15 DIFF_SSTL135 DIFF_SSTL12 DIFF_POD12



Description	HR I/O	HP I/O
Input Standards Supported	LVTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 HSTL18_I LVDS25 LVDS18	LVC MOS18 LVC MOS15 LVC MOS12 HSTL18_I SSTL18_I SSTL15 SSTL135 SSTL12 POD12 LVDS18 DIFF_HSTL18_I DIFF_SSTL18_I DIFF_SSTL15 DIFF_SSTL135 DIFF_SSTL12 DIFF_POD12
R_{DIFF} 100	Yes	Yes
PCI Clamp	Yes	–
Slew Rate	Yes	Yes
Bus Hold	Yes	Yes
Hysteresis	Yes	Yes



2.8 PH1A FPGA 配置说明

PH1A 系列 FPGA 支持 4 种配置模式，分别是 JTAG、从动串行 (Slave Serial)、主动 SPI 及其从动并行 (Slave Parallel) 配置模式。

2.8.1 配置模式

表 2-8-1 PH1A 系列 FPGA 配置模式

模式	M[2:0]	位宽	CCLK 方向
主动 SPI	001	x1, x2, x4	Output
从动并行	110	x8, x16, x32	Input
从动串行	111	x1	Input
JTAG	-	-	-

2.8.2 FPGA I/O 引脚在配置阶段的状态

(1) 非配置相关 IO

芯片上电完成后到程序加载完成前，非配置相关 IO 的状态受 HSWAPEN 脚控制可以为弱上拉或者三态。

在 PH1A 器件中，HSWAPEN 为 0 时，用户 I/O 管脚在配置过程中为弱上拉状态；HSWAPEN 为 1 时，用户 I/O 处于高阻态。

进入用户模式之后，用户使用的 IO 脚状态受代码控制，未使用的管脚为弱上拉状态。

(2) 配置相关引脚跟配置设置相关，如表 2-8-2 所示

表 2-8-2 PH1A Configuration Pin Termination

Pin	配置成功前		配置成功后
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	Config 专用 I/O 呈现高电平
INITN	Pull-up to Vccio	Pull-up to Vccio	Config 专用 I/O 呈现高电平
DONE	Pull-up to Vccio	Pull-up to Vccio	Config 专用 I/O 呈现高电平
CCLK ¹	Pull-up to Vccio	Pull-up to Vccio	Config 专用 I/O，电平取决于配置模式
GSN	Pull-down to Gnd	Pull-down to Gnd	复用 I/O，取决于软件配置
TMS TCK TD0 TDI /TRSTN	Pull-up to Vccio TRSTN pull-down	Pull-up to Vccio TRSTN pull-down	软件 JtagPin 设置
D[31:4]	Pull-up to Vccio	Pull-up to Vccio	复用 I/O

Pin	配置成功前		配置成功后
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
D00_MOSI	Pull-up to Vccio	Pull-up to Vccio	复用 I/O
D01_DIN	Pull-up to Vccio	Pull-up to Vccio	复用 I/O
D02_WPN	Pull-up to Vccio	Pull-up to Vccio	复用 I/O
D03_HOLDN	Pull-up to Vccio	Pull-up to Vccio	复用 I/O
SPICSN_BUSY	Pull-up to Vccio	Pull-up to Vccio	复用 I/O
RDWRN	Pull-down to Gnd	Pull-down to Gnd	复用 I/O
CSON_DOUT	Pull-up to Vccio	Pull-up to Vccio	User I/O
M[2:0]	Pull-up to Vccio	Pull-up to Vccio	专用 I/O
USRCLK ²	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O
HSWAPEN	-	-	User I/O

注：1. PH1A60、PH1A90、PH1A180 器件的 CCLK 引脚不能使用 SDR、IDDR 和 ODDR 模块；

2. USRCLK 仅作为内部测试引脚使用。

2.8.3 Serial 配置模式

在 Serial 配置模式下，FPGA 通过上位机进行配置数据加载。上位机通过 CCLK、DIN 使用串行的方式将数据写入 FPGA。芯片在每个 CCLK 的上升沿接收数据，数据发送完成后，DONE 拉高表示配置完成；如果出错，INITN 信号将会拉低。Serial 配置接口及其时序图 2-8-1、图 2-8-2 所示。

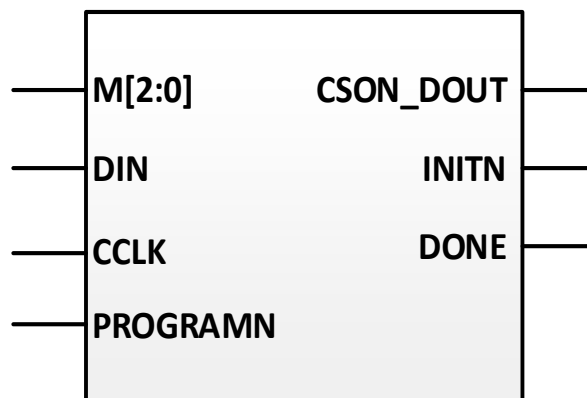


图 2-8-1 PH1A 系列 FPGA Serial 配置接口

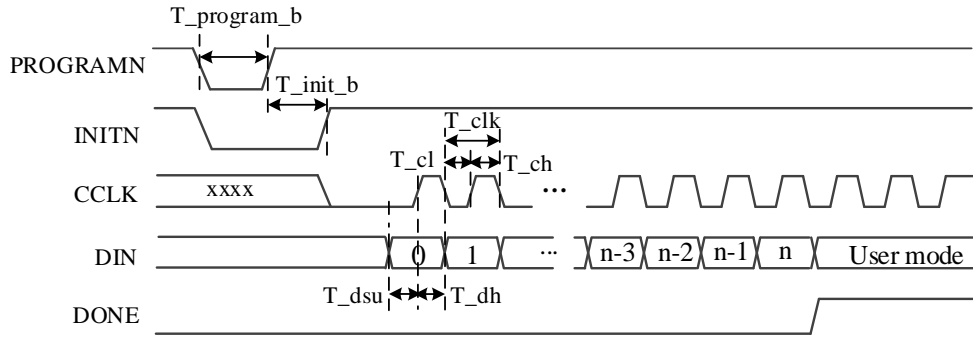


图 2-8-2 串行配置模式时序图

表 2-8-3 PH1A 从动串行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	—	us
T_init_b	INIT_B low pulse width	—	49.2 ⁽²⁾	ms
T_clk	CCLK period	10	—	ns
T_ch	CCLK high time	4.5	—	ns
T_cl	CCLK low time	4.5	—	ns
T_dsu	Data setup time	3	—	ns
T_dh	Data hold time	0.7	—	ns

注：1. FPGA 芯片在每个 CCLK 的上升沿接收数据。

2. 实际数据和 OSC 的频率偏差有关；以上计算值按照 osc 最大偏差 + 20% 计算。

2.8.4 主动 SPI 配置模式

PH1A 系列 FPGA 器件支持 MSPI x1/x2/x4 Fast Read 模式，支持超过 128Mb 容量的 SPI Flash 器件 32-bit 地址读写模式。FPGA MSPI 配置接口如图 2-8-3 所示。

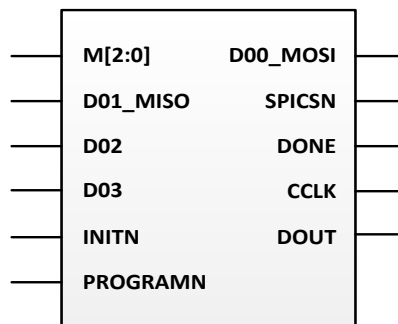


图 2-8-3 PH1A 系列 FPGA MSPI 配置接口

SPI x1/x2 模式接口电路，如图 2-8-4 所示。

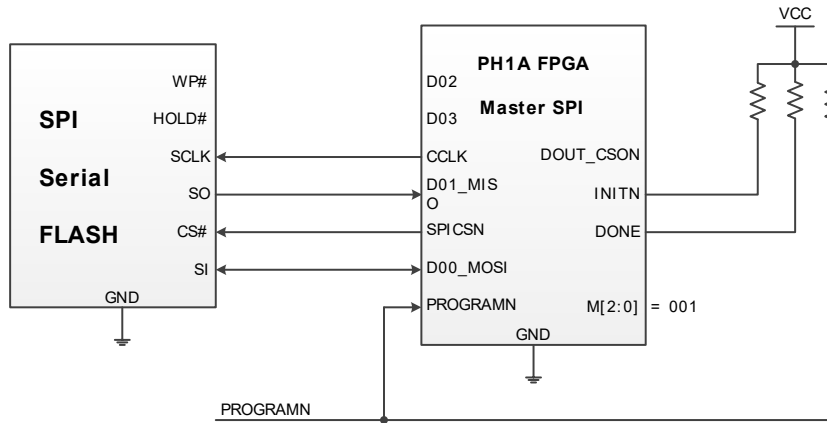


图 2-8-4 PH1A 系列 FPGA SPI x1/x2 配置接口

SPI x4 模式接口电路，如图 2-8-5 所示。

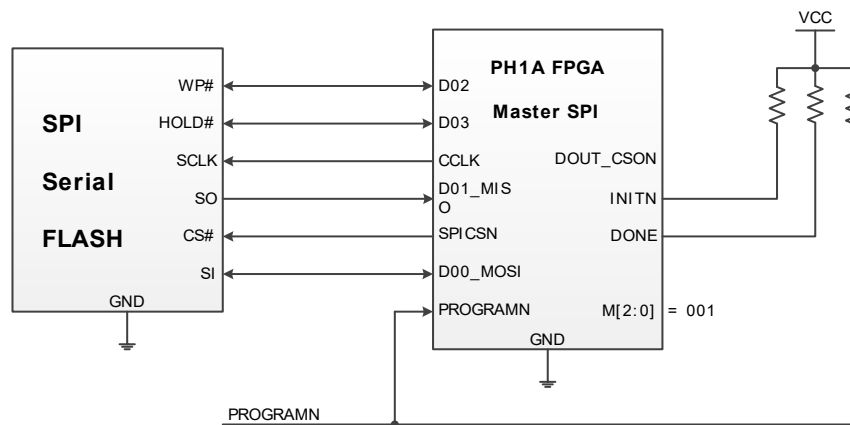


图 2-8-5 PH1A 系列 FPGA SPI x4 配置

PH1A 器件主动 SPI 配置方式的时序如图 2-9-3 所示。

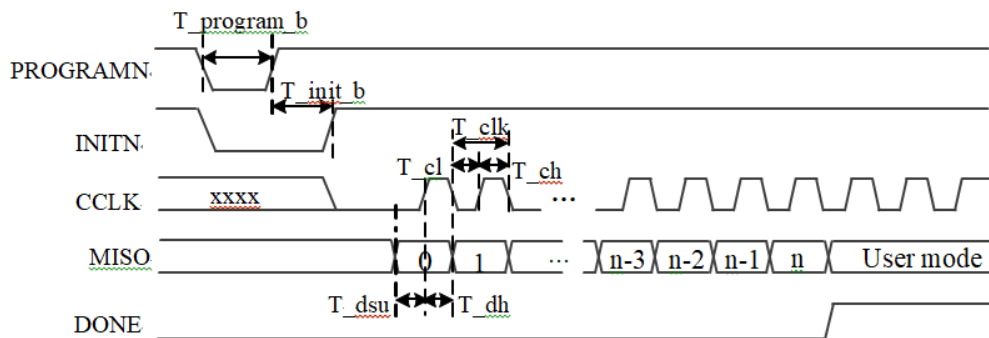


图 2-8-6 PH1A 器件主动 SPI 配置模式时序图

表 2-8-4 PH1A 主动 SPI 时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	—	us
T_init_b	INIT_B low pulse width	—	49.2 ⁽²⁾	ms
T_clk	CCLK period	25 ⁽¹⁾⁽³⁾	—	ns
T_ch	CCLK high time	11.25	—	ns
T_cl	CCLK low time	11.25	—	ns
T_dsu	Data setup time	14.8	—	ns
T_dh	Data hold time	2.0	—	ns

注：1. FPGA 芯片如果 CCLK 设置小于等于 22MHz 档位时使用上升沿采样数据，大于 22MHz 档位采用下降沿采样数据。

2. 实际数据和 OSC 的频率偏差有关，以上计算值按照 osc 最大偏差 + 20% 计算。

3. 主动 SPI 加载的最高频率为 33MHz. 考虑 OSC 最大偏差 + 20%，所以 T_clk 频率为 33MHz*1.2 约等于 40MHz。

2.8.5 并行配置模式

并行模式为从动并行模式，从动并行模式配置支持 8 位、16 位和 32 位三种数据位宽，并行配置接口如图 2-8-7 所示。

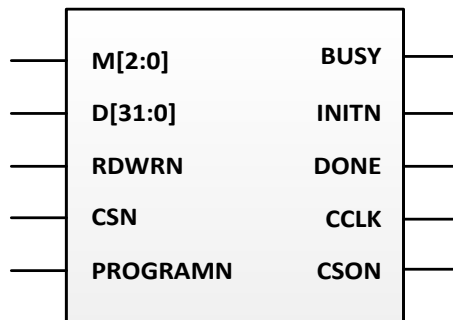
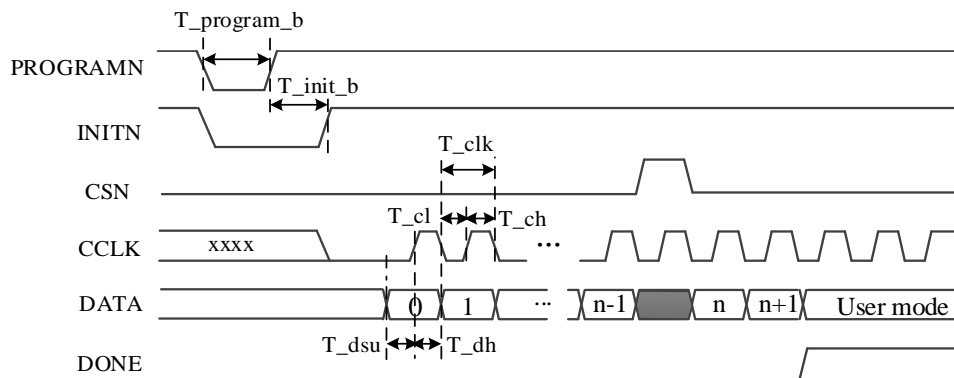


图 2-8-7 PH1A 系列 FPGA 并行配置接口


 图 2-8-8 从动并行配置时序图⁽¹⁾

注：从动并行配置 RDWRN 需要接低电平。

表 2-8-5 PH1A 从动并行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	—	us
T_init_b	INIT_B low pulse width	—	49.2 ⁽²⁾	ms
T_clk	CCLK period	10	—	ns
T_ch	CCLK high time	4.5	—	ns
T_cl	CCLK low time	4.5	—	ns
T_dsu	Data setup time	3	—	ns
T_dh	Data hold time	0.7	—	ns

1. FPGA 芯片在每个 CCLK 的上升沿接收数据。
2. 实际数据和 OSC 的频率偏差有关；以上计算值按照 osc 最大偏差 + 20%计算。

2.8.6 JTAG 配置模式

PH1A系列FPGA支持IEEE 1149.1协议，该协议定义了Test Access Port (TAP) 和边界扫描 (Boundary-Scan)。

PH1A系列FPGA同时支持IEEE 1532协议，该协议定义了In-System Configuration Architecture。

PH1A系列FPGA使用5个JTAG专用管脚：TCK、TMS、TDI、TDO及TRSTN。其中TCK/TMS/TDI/TRSTN为输入管脚，TDO为输出管脚。TAP状态机示意图配置方式如图2-8-9所示。

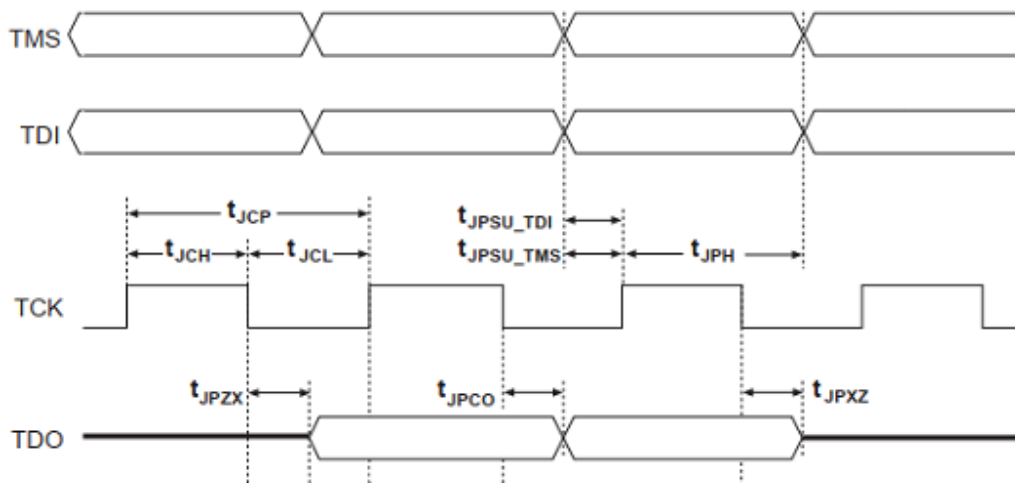


图 2-8-9 TAP 状态机示意图配置

表 2-8-6 PH1A JTAG 时序规格表

参数	描述	最小	最大	单位
T _{JCP} ⁽¹⁾	TCK 周期	40	—	ns
T _{JCH}	TCK 高电平时间	18	—	ns
T _{JCL}	TCK 低电平时间	18	—	ns
T _{JPSU_TDI}	TDI 建立时间	6	—	ns



T _{JPSU_TMS}	TMS 建立时间	8	—	ns
T _{JPH}	JTAG 端口保持时间	10	—	ns
T _{JPC0}	JTAG 端口时钟到输出延时	—	16	ns
T _{JPZX}	JTAG 端口有效输出到高阻转换时间	—	16	ns
T _{JPXZ}	抓取寄存器建立时间	—	16	ns

注：1. 若采用 MSPI 加载模式，并且通过 JTAG 非背景升级外部 Flash 数据，TCK 的频率要大于等于 100K。

2.9 SEU 检错和纠错模块

PH1A 系列 FPGA 器件支持用户通过 JTAG 或者 SP 接口回读和校验配置存储器内容。如果需要回读配置存储器中的内容，用户需要先发送一串命令到器件来初始化回读状态。回读状态初始化完成后，器件就会连续的将配置存储器内容输出到 JTAG 或者 SP 接口上。

除了用户主动发起的回读校验，PH1A 系列 FPGA 器件还支持在背景模式下连续的回读配置并校验的功能。这个功能主要用于简单位子翻转（SEU）的检测。该回读功能通常配合 ECC 和 ECC ONCE IP 实现 SEU 检测和错误纠正。

回读校验功能点：

- 支持 JTAG 接口回读
- 支持 SP (Slave Parallel) 接口回读
- 支持回读功能的使能和禁止

PH1A 器件 ECC 功能点⁽¹⁾：

- 硬件内置的 ECC 和 CRC 错误检测
- 基于 ECC 的单 bit 错误检测和纠正，双 bit 检错
- 基于 ECC 的分布在多帧的每一帧单 bit 错误检测和纠正
- 基于 CRC 的多 bit 错误检测
- 注：1. PH1A400 器件 ECC 不支持对芯片 PLB 资源的检测。PH1A60 器件不支持 ECC 功能。



2.10 电压温度检测模块

PH1A 系列 FPGA 器件内置 1 个电压温度检测模块，该模块也可实现对芯片上的电压，温度等参数的高精度测量。电压温度检测模块即使工作时也只需要很小的功耗，而当转换完成后处于低功耗状态。

PH1A 器件电压温度检测模块功能：

- 集成一个高精度电压温度检测模块
- 支持芯片电压实时监控
- 支持芯片温度的实时监控

PH1A90 和 PH1A180 器件仅包含 1 个高精度温度检测模块 Temperature sensor（以下简称 TS）。

2.11 DDR

PH1A 系列 FPGA 的 3 个 HPIO Bank 提供了对 DDR3/DDR4 存储器接口的支持，FPGA 内部集成 DDR PHY 硬核控制器和 DDR 专用 Bank 逻辑，支持的最大位宽可达 72-bit。PH1A60 器件不包含 DDR。DDR 相关资源的详细信息请参考 UG915 《UG915_安路科技 PH1A 系列 FPGA DDR3_4 高速接口用户手册》。主要支持的特性如下：

- 支持 DDR3/DDR4 类型存储器颗粒。
- 支持 8-bit 至 72-bit 数据位宽，支持 Fly-Bye 的拓扑结构。
- 支持最大 2 个 Rank 的颗粒组织形式。
- 支持 x8、x16 类型的 DDR3/4 存储器颗粒。
- 支持 Data Mask 和 DBI（DDR4）功能。
- 支持 DDR PHY 硬核控制器，用以完成 PHY 初始化、Gate Training、Write Leveling、Write Latency 调节、Read/Write 读写窗口训练、Vref 训练等 DDR 校准功能。
- 支持 Memory built-in-self-test（MBIST），用以检验校准后的数据链路。
- 支持 Ping Pong PHY 工作模式。
- 支持 2T timing 模式。
- 支持 DFI 3.1 协议。
- 支持 8:1 工作模式。
- 支持 VT tracking 动态补偿模式。

2.12 MIPI DPHY-RX

PH1A90SBG484 和 PH1A180SFG676 器件集成 2 组 MIPI IO，每组 MIPI IO 最大支持 4 Lane 输入，可配置为独立的 MIPI 从设备使用。需注意的是，当 MIPI IO 切换成 LVDS 或者 LVCMOS 模式时，必须设置同组所有的 IO 为相同模式，不支持 LVDS 或者 LVCMOS 模式混合使用。

2.12.1 功能特性

MIPI IO 模块具有如下性能：

- 2 组 MIPI DPHY-RX，每组最大支持 4 Lane 模式
- MIPI 模式下，支持 High Speed（以下简称 HS）数据接收和数据通道 Lane0 的 Low Power（以下简称 LP）数据收发
- 提供可选的数据缓存 FIFO，单 Lane 支持 8 位或 16 位的数据输出
- 最大支持 3dB 的 HS 接收均衡
- HS 接收支持差分匹配电阻的动态使能与阻值调节
- 支持动态调节延时
- 支持 LVCMOS15/18 和 LVDS18/25 输入

3 直流交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

3.1 直流电气特性

3.1.1 最大绝对额定值

表 3-1-1 最大绝对额定值

Symbol	参数		最小	最大	单位
V_{CCAUX}	辅助电源		-0.5	1.98	V
V_{CCIO}	I/O 驱动供电电压	HR	-0.5	3.63	V
		HP	-0.5	1.98	V
V_{CCINT}	内核电源		-0.5	1.05	V
$V_{PHYVCCA}$	SERDES High Voltage IO Supply		-0.5	1.98	V
$V_{PHYVCCCT}$	SERDES Analog Supply		-0.5	1.05	V
V_{CCDPHY}	MIPI DPHY-RX 电源		-0.5	1.05	V
$V_I^{(1)}$	直流输入电压	HR	-0.4	$V_{CCIO}+0.3$	V
		HP	-0.4	$V_{CCIO}+0.3$	V
		MIPI DPHY-RX	-0.15	1.45	V
V_{ESDHBM}	人体模型静电放电电压		-	± 2000	V
V_{ESDCDM}	器件充电模型静电放电电压		-	± 250	V
T_{STG}	存储温度		-55	150	°C
T_J	结点温度		-40	125	°C

注：1. 最大限制适用于直流信号，有关最大下冲和过冲交流规范，请参见表 3-1-2 和表 3-1-3。

超过以上最大绝对额定值可能会导致器件永久性损坏。表 3-1-1 的值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。而且器件长期在极值条件下运行，会严重影响器件的可靠性。

表 3-1-2 列出了最大允许输入过冲/下冲电压，表 3-1-3 列出了过冲/下冲电压的持续时间占数据 UI 的百分比。如例图所示，T 为数据的 UI 长度，DT 为过冲信号的持续时间。过冲电压超过 $V_{CCIO}+0.165V$ 的时刻即为统计过冲 DT 的起始时刻，过冲电压低于 $V_{CCIO}+0.165V$ 的时刻即为统计过冲 DT 的结束时刻。同样，下冲电压低于 $GND-0.2V$ 的时刻即为统计下冲 DT 的起始时刻，下冲电压超过 $GND-0.2V$ 的时刻即为统计下冲 DT 的结束时刻。表 3-1-2 一个直流输入信号意味着过冲信号(例如幅值为 $V_{CCIO}+0.3V$ 的过冲信号)的持续时间 (DT) 可以占整个数据 UI 的 100%，或者下冲信号(例如幅值为 $GND-0.4V$ 的下冲信号)的持续时间 (DT) 可以占整个数据 UI 的 100%。而过冲至 $V_{CCIO}+0.5V$ 的过信号的维持时间 (DT)，只能占数据 UI 的 11%。

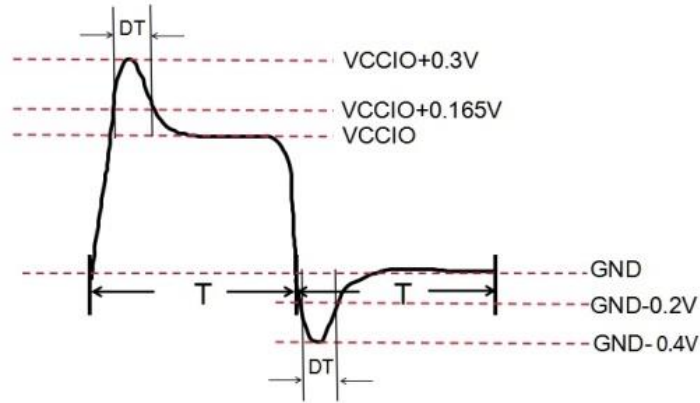


图 3-1-1 输入信号过冲/下冲

表 3-1-2 10 年使用寿命条件下允许的最大过冲、下冲占比 (HR I/O)

Parameter	Condition (V)	Under/Overshoot Duration as% of High Time - 40° C to 125° C	Unit
VI AC Input Voltage	$V_{CCIO}+0.3$	100	%
	$V_{CCIO}+0.4$	58	%
	$V_{CCIO}+0.5$	11	%
	$V_{CCIO}+0.6$	2	%
	$V_{CCIO}+0.7$	0.6	%
	$V_{CCIO}+0.8$	0.2	%
	$V_{CCIO}+0.9$	0.1	%
	-0.1	100	%
	-0.2	100	%
	-0.3	100	%
	-0.4	100	%
	-0.5	19	%
	-0.6	2	%
	-0.7	0.5	%

 表 3-1-3 10 年使用寿命条件下允许的最大过冲、下冲占比 (HP I/O) ⁽¹⁾

Parameter	Condition (V)	Under/Overshoot Duration as% of High Time - 40° C to 125° C	Unit
VI AC Input Voltage	$V_{CCIO}+0.3$	100	%
	$V_{CCIO}+0.4$	100	%
	$V_{CCIO}+0.5$	100	%
	$V_{CCIO}+0.6$	71	%
	$V_{CCIO}+0.7$	28	%
	$V_{CCIO}+0.8$	12	%
	$V_{CCIO}+0.9$	1.5	%
	-0.1	100	%
	-0.2	100	%



Parameter	Condition (V)	Under/Overshoot Duration as% of High Time - 40° C to 125° C	Unit
	-0.3	100	%
	-0.4	100	%
	-0.5	78	%
	-0.6	60	%
	-0.7	11	%

注：1. UI 的周期 (T) 不超过 20us。

3.1.2 推荐基本操作条件

表 3-1-4 推荐基本操作条件

Symbol	参数	最小	典型	最大	单位	
V _{CCAUX}	辅助电源	1.71	1.8	1.89	V	
V _{CCIO}	I/O 供电电压 @ 3.3V	3.135	3.3	3.465	V	
	I/O 供电电压 @ 2.5V	2.375	2.5	2.625	V	
	I/O 供电电压 @ 1.8V	1.71	1.8	1.89	V	
	I/O 供电电压 @ 1.5V	1.425	1.5	1.575	V	
	I/O 供电电压 @ 1.2V ¹	1.14	1.2	1.26	V	
V _{CCINT}	内核电源	0.93	0.95	0.98	V	
V _{PHYVCCA}	SERDES High Voltage IO Supply	1.746	1.8	1.854	V	
V _{PHYVCT}	SERDES Analog Supply	0.92	0.95	0.98	V	
V _{CCDPHY}	MIPI DPHY-RX 电源	0.93	0.95	0.98	V	
V _I	直流输入电压	HR	-0.2	—	V _{CCIO} +0.165	V
		HP	-0.2	—	V _{CCIO} +0.165	V
		MIPI DPHY-RX	-0.05	—	1.35	V
V _O	输出电压	0	—	V _{CCIO}	V	
I _{IN} ²	上电或未上电时，MIPI 和 HP 管脚所允许流过的最大电流	—	—	10	mA	
T _J	结点温度	商业	0	—	85	°C
		工业	-40	—	100	°C
T _{VCCAUX}	上电时间, 从 GND 到 90% V _{CCAUX}	0.2	—	100	ms	
T _{VCCINT}	上电时间, 从 GND 到 90% T _{VCCINT}	0.2	—	100	ms	
T _{VCCIO}	上电时间, 从 GND 到 90% T _{VCCIO}	0.2	—	100	ms	
T _{PHYVCCA}	上电时间, 从 GND 到 90% T _{PHYVCCA}	0.2	—	100	ms	
T _{PHYVCT}	上电时间, 从 GND 到 90% T _{PHYVCT}	0.2	—	100	ms	
T _{DPHY}	上电时间, 从 GND 到 90% T _{DPHYV}	0.2	—	100	ms	

注：1. PH1A 器件 HP 类型 IO 支持 1.2V 电源

2. 该规格是基于满足上下电顺序要求下的最大电流

3.1.3 器件静态供电电流

表 3-1-5 静态电源电流

Symbol	参数	IO 类型	典型	单位
I_{VCC10}	I/O 组电源, @ $V_{CC10}=1.2V$	HP	1	mA
	I/O 组电源, @ $V_{CC10}=1.5V$	HR	1	mA
		HP	1	mA
	I/O 组电源, @ $V_{CC10}=1.8V$	HR	1	mA
		HP	1	mA
	I/O 组电源, @ $V_{CC10}=2.5V$	HR	2	mA
I/O 组电源, @ $V_{CC10}=3.3V$	HR	3	mA	
I_{VCCAUX}	辅助电源	—	2	mA
Symbol	参数	器件	典型	单位
I_{VCCINT}	内核电压	PH1A400/PH1A180	1100	mA
		PH1A60/PH1A90	300	mA
I_{PHYVCT}	SERDES Analog Supply	PH1A400/PH1A180	100	mA
		PH1A90	50	mA
$I_{PHYVCCA}$	SERDES High Voltage IO Supply	PH1A	1	mA
$I_{VCCDPHY}$	MIPI DPHY-RX 电源	PH1A90SBG484/PH1A180SFG676	1	mA

注：1. 该表中的数值基于通用的推荐操作条件，高温下（ $T_j=85^{\circ}C$ ）使用典型器件测得，具体请参考功耗评估工具。

2. 典型值为空白器件，非加载 I/O 无输出电流负载，处于高阻状态下测量得到的电源电流。

3.1.4 上下电时序

PH1A FPGA 有上下电时序要求，推荐上电顺序： V_{CCINT} (V_{CCDPHY}) $\rightarrow V_{CCAUX}$ $\rightarrow V_{CC10}$ ，下电顺序与上电顺序相反。

如果不按照推荐顺序下电，HR IO 下电时 I/O 上面可能产生脉冲，这些脉冲不会影响器件寿命，当外围设备对产生的脉冲不敏感，则不要求下电顺序。

PH1A 的 HP I/O 不支持热插拔，HP BANK 必须严格按照推荐的上下电顺序，不允许 I/O PAD 早于电源 (V_{CCAUX}/V_{CC10}) 上电，同时要求 HPI/O V_{CC10} 不早于 V_{CCAUX} 上电，HP I/O V_{CC10} 不晚于 V_{CCAUX} 掉电。

注：如果存在 V_{CC10} 的电压等于 V_{CCAUX} 的场景，允许 V_{CCAUX} 和 HP I/O 的 V_{CC10} 同时上下电，但是一定要注意 HP I/O 相关的引脚上面的信号要后上电，否则会有电流灌到 V_{CC10} 上，会影响器件寿命。

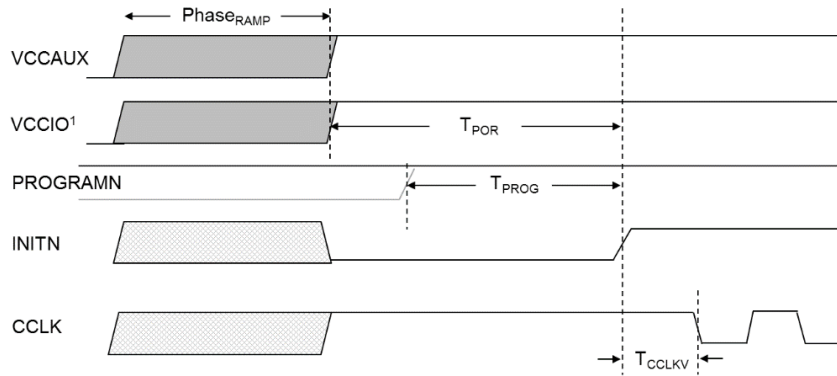


图 3-1-2 器件上电时序图

1. POR 监测 JTAG 端口所在的 VCCIO*电平。
2. 电源上电过程中 (PhaseRAMP) 所有的 IO 处于 3 态。
3. T_{POR} 最大为 49.2ms, T_{PROG} 最大值为 39.6ms。

3.1.5 I/O 管脚电容

表 3-1-6 器件管脚电容

Symbol	参数	电容	单位
		最大值	
C_{HR}	宽电压管脚输入电容	8 ⁽¹⁾	pF
C_{HP}	高性能管脚输入电容	4 ⁽¹⁾	pF
C_{MIPI}	MIPI 管脚输入电容	3 ⁽¹⁾	pF

注：1. 该测量值代表芯片 die 上管脚电容，不包括封装。

3.1.6 热插拔规格

表 3-1-7 热插拔规格 (HR I/O)

Symbol	参数	最大	单位
$I_{IOPIN(DC)}$	DC 电流, 每个 I/O	350 ⁽¹⁾	uA
$I_{IOPIN(AC)}$	AC 电流, 每个 I/O	10 ⁽²⁾⁽³⁾	mA

注：1. DC 电流是在所有电源和 I/O 端口电平信号都不变化的情况下，测到输入或者流出 IO 的最大电流。

2. AC 电流是在电源变化或者 I/O 端口信号变化，且 I/O 端口信号变化 $rise/fall\ time \geq 10ns$ 条件的情况下测到输入或者流出 I/O 的最大电流。如果 $rise/fall\ time < 10ns$, $I_{IOPIN(AC)} = Cdv/dt$, C 为 I/O 的负载电容, dv/dt 为 I/O 信号的 slew rate。rise/fall time 指信号变化从 10%~90%的时间，后同。

3. 电源上电未完成时，如果 I/O $rise/fall\ time > 500ns$ ，则需要外部提供 4mA 以上的驱动电流，



否则可能导致 I/O 信号异常。

4. HP I/O 和 MIPI DPHY-RX I/O 不支持热插拔功能。

3.1.7 I/O 直流电气特性

表 3-1-8 I/O 推荐基本操作条件 (HR I/O)

Symbol	参数	条件	最小	典型	最大	单位
I_{IL}, I_{IH}	输入漏电电流	$0 \leq V_I \leq V_{CCIO}$	—	—	30	μA
I_{IH}	输入漏电电流	$V_{CCIO} \leq V_I \leq 3.465$	—	—	300	μA
V_{HYST}	Hysteresis for Schmitt Trigger Input	$V_{CCIO}=3.3V$	—	350	—	mV
		$V_{CCIO}=2.5V$	—	300	—	mV
		$V_{CCIO}=1.8V$	—	150	—	mV
		$V_{CCIO}=1.5V$	—	100	—	mV
I_{PU}	I/O 弱上拉电流	$V_I=0V, V_{CCIO}=3.3V$	93	—	192	μA
		$V_I=0V, V_{CCIO}=2.5V$	83	—	153	μA
		$V_I=0V, V_{CCIO}=1.8V$	63	—	112	μA
		$V_I=0V, V_{CCIO}=1.5V$	51	—	91	μA
I_{PD}	I/O 弱下拉电流	$V_I=3.3V, V_{CCIO}=3.3V$	128	—	204	μA
		$V_I=2.5V, V_{CCIO}=2.5V$	92	—	162	μA
		$V_I=1.8V, V_{CCIO}=1.8V$	67	—	118	μA
		$V_I=1.5V, V_{CCIO}=1.5V$	56	—	97	μA

表 3-1-9 I/O 推荐基本操作条件 (HP I/O)

Symbol	参数	条件	最小	典型	最大	单位
I_{IL}, I_{IH}	输入漏电电流	$0 \leq V_I \leq V_{CCIO}$	—	—	14	μA
I_{IH}	输入漏电电流	$V_{CCIO} \leq V_I \leq 1.89$	—	—	52	μA
V_{HYST}	Hysteresis for Schmitt Trigger Input	$V_{CCIO}=1.8V$	—	100	—	mV
		$V_{CCIO}=1.5V$	—	100	—	mV
		$V_{CCIO}=1.2V$	—	100	—	mV
I_{PU}	I/O 弱上拉	$V_I=0V, V_{CCIO}=1.8V$	48	—	122	μA
		$V_I=0V, V_{CCIO}=1.5V$	40	—	100	μA
		$V_I=0V, V_{CCIO}=1.2V$	32	—	82	μA
I_{PD}	I/O 弱下拉	$V_I=1.8V, V_{CCIO}=1.8V$	48	—	120	μA



Symbol	参数	条件	最小	典型	最大	单位
		$V_I=1.5V, V_{CCIO}=1.5V$	40	—	100	μA
		$V_I=1.2V, V_{CCIO}=1.2V$	32	—	82	μA

3.1.8 单端 I/O 直流电学特性

表 3-1-10 PH1A 器件 IO 单端 I/O 标准规格 (HR I/O)

标准	V_{IL} (V)		V_{IH} (V)		V_{OL} (V)	V_{OH} (V)	I_{OL}	I_{OH}
	最小	最大	最小	最大	最大	最小	(mA)	(mA)
LVCMOS33 LVTTTL33	-0.3	0.8	2.0	$V_{CCIO} + 0.165$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
							16	-16
LVCMOS25	-0.3	0.7	1.7	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
							16	-16
LVCMOS18	-0.3	$0.35 * V_{CCIO}$	$0.65 * V_{CCIO}$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
							16	-16
LVCMOS15	-0.3	$0.35 * V_{CCIO}$	$0.65 * V_{CCIO}$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
							16	-16
HSTL18_I	-0.3	$V_{REF} - 0.10$	$V_{REF} + 0.10$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	8	-8

表 3-1-11 PH1A 器件 IO 单端 I/O 标准规格 (HP I/O)

标准	V_{IL} (V)		V_{IH} (V)		V_{OL} (V)	V_{OH} (V)	I_{OL}	I_{OH}
	最小	最大	最小	最大	最大	最小	(mA)	(mA)
LVCMOS18	-0.3	$0.35 * V_{CCIO}$	$0.65 * V_{CCIO}$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
LVCMOS15	-0.3	$0.35 * V_{CCIO}$	$0.65 * V_{CCIO}$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
LVCMOS12	-0.3	$0.35 * V_{CCIO}$	$0.65 * V_{CCIO}$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
HSTL18_I	-0.3	$V_{REF} - 0.10$	$V_{REF} + 0.10$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	8	-8
SSTL18_I	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCIO} + 0.3$	$V_{CCIO}/2 - 0.47$	$V_{CCIO}/2 + 0.47$	8	-8



标准	V _{IL} (V)		V _{IH} (V)		V _{OL} (V)	V _{OH} (V)	I _{OL}	I _{OH}
	最小	最大	最小	最大	最大	最小	(mA)	(mA)
SSTL15	-0.3	VREF-0.10	VREF+0.10	VCC10 +0.3	VCC10 /2- 0.175	VCC10 /2+0.175	13	-13
SSTL135	-0.3	VREF-0.09	VREF+0.09	VCC10 +0.3	VCC10 /2- 0.15	VCC10 /2+0.15	13	-13
SSTL12	-0.3	VREF-0.1	VREF+0.1	VCC10 +0.3	VCC10 /2- 0.15	VCC10 /2+0.15	8	-8
POD12	-0.3	VREF-0.068	VREF+0.068	VCC10 +0.3	-	-	-	-

表 3-1-12 PH1A 器件 IO 单端 I/O 标准规格 (MIPI I/O)

标准	V _{IL} (V)		V _{IH} (V)		V _{OL} (V)	V _{OH} (V)	I _{OL}	I _{OH}
	最小	最大	最小	最大	最大	最小	(mA)	(mA)
LVC MOS18	-0.3	0.35*VCC10	0.65*VCC10	VCC10 +0.3	-	-	-	-
LVC MOS15	-0.3	0.35*VCC10	0.65*VCC10	VCC10 +0.3	-	-	-	-

3.1.9 差分 I/O 电学特性

表 3-1-13 PH1A LVDS 直流规格 (HR I/O)

参数	描述	测试条件	最小	典型	最大	单位
V_{IP}, V_{IN}	输入电平	$V_{CCIO}=2.5$	0.7	—	1.6	V
		$V_{CCIO}=1.8$	0	—	1.1	V
V_{OH}	输出高电平	$V_{CCIO}=2.5$	—	—	1.5	V
		$V_{CCIO}=1.8$	—	—	1.1	V
V_{OL}	输出低电平	$V_{CCIO}=2.5$	0.7	—	—	V
		$V_{CCIO}=1.8$	0.1	—	—	V
V_{ID}	输入差分摆幅	$ V_{IP}-V_{IN} , R_T = 100 \text{ ohm}$	100	300	400	mV
V_{ICM}	输入共模电压	$V_{CCIO}=2.5$	0.9	1.25	1.4	V
		$V_{CCIO}=1.8$ (内部 100 欧姆)	0.4	0.6	0.8	V
		$V_{CCIO}=1.8$ (外部 100 欧姆)	0.4	0.9	1.0	V
R_T	片内端接差分电阻	—	80	100	120	Ω
V_{OD}	标准差分输出摆幅	$ V_{OP} - V_{ON} , R_T = 100 \text{ ohm}$ $V_{CCIO}=2.5$	200	350	400	mV
		$ V_{OP} - V_{ON} , R_T = 100 \text{ ohm}$ $V_{CCIO}=1.8$	200	350	500	mV
V_{OCM}	输出共模电压	$V_{CCIO}=2.5$	0.9	1.25	1.4	V
		$V_{CCIO}=1.8$	0.3	0.6	0.8	V
I_{RT}	差分电阻电流限制	—	—	—	5	mA
V_{THD}	差分输入阈值	—	+/-100	—	—	mV

表 3-1-14 PH1A LVDS 直流规格 (HP I/O)

参数	描述	测试条件	最小	典型	最大	单位
V_{IP}, V_{IN}	输入电平	$V_{CCIO}=1.8$	0.2	—	1.725	V
V_{OH}	输出高电平	$V_{CCIO}=1.8$	—	—	1.675	V
V_{OL}	输出低电平	$V_{CCIO}=1.8$	0.675	—	—	V
V_{ID}	输入差分摆幅	$ V_{IP}-V_{IN} , R_T = 100 \text{ ohm}$	200	350	600	mV
V_{ICM}	输入共模电压	$V_{CCIO}=1.8$	0.3	1.2	1.425	V
R_T	片内端接差分电阻	—	80	100	120	Ω
V_{OD}	标准差分输出摆幅	$ V_{OP} - V_{ON} , R_T = 100 \text{ ohm}$	200	350	500	mV
V_{OCM}	输出共模电压	$V_{CCIO}=1.8$	0.9	1.2	1.5	V
I_{RT}	差分电阻电流限制	—	—	—	5	mA
V_{THD}	差分输入阈值	—	+/-100	—	—	mV



表 3-1-15 PH1A LVDS18/LVDS25 直流规格 (MIPI I/O)

参数	描述	测试条件	最小	典型	最大	单位
V_{IP}, V_{IN}	MIPI LVDS18/ LVDS25 输入电平	-	0.2	-	1.725	V
V_{ID}	MIPI LVDS18/ LVDS25 输入差分 摆幅	$ V_{IP}-V_{IN} , R_T = 100 \text{ ohm}$	200	350	600	mV
V_{ICM}	MIPI LVDS18/ LVDS25 输入共模 电压	-	0.3	1.2	1.425	V
R_T	MIPI LVDS18/ LVDS25 片内端接 差分电阻	-	80	100	120	Ω

表 3-1-16 PH1A 差分 I/O 直流输入和输出电平 (HP I/O)

I/O Standard	$V_{ICM}^{(1)}$ (V)			$V_{ID}^{(2)}$ (V)		$V_{OL}^{(3)}$ (V)	$V_{OH}^{(4)}$ (V)	I_{OL} (mA)	I_{OH} (mA)
	最小	典型	最大	最小	最大	最大	最小	最大	最小
DIFF_HSTL18_I	0.4	vccio/2	1.425	0.2	-	0.4	vccio-0.4	8	-8
DIFF_SSTL18_I	0.4	vccio/2	1.425	0.2	-	0.4	vccio-0.4	8	-8
DIFF_SSTL15	0.4	vccio/2	1.125	0.1	-	vccio/2 -0.175	vccio/2 + 0.175	13	-13
DIFF_SSTL135	0.4	vccio/2	1	0.1	-	vccio/2-0.15	vccio/2+0.15	13	-13
DIFF_SSTL12	0.4	vccio/2	0.85	0.1	-	vccio/2-0.15	vccio/2+0.15	8	-8
DIFF_POD12 ⁽⁵⁾	0.76	0.84	0.92	0.16	-	-	-	-	-

注:

1. V_{ICM} 为输入的共模电压。
2. V_{ID} 为输入差分摆幅 ($V_{IP}-V_{IN}$)。
3. V_{OL} 为单端输出的低电平电压。
4. V_{OH} 为单端输出的高电平电压。

5. POD12 电平的测试条件为 FPGA 侧的 I/O 内部终端阻抗设置为 40ohm, 存储颗粒侧数据端口的终端匹配阻抗设置为 60ohm, 更详细的配置说明请参考用户手册 (UG_915)。

表 3-1-17 PH1A 单端和差分 POD12 电平标准的直流输出电平

参数	描述 ⁽¹⁾	$V_{OUT}^{(2)}$	最小	典型	最大	单位
R_{OL}	下拉电阻	V_{OM_DC}	36	40	44	Ω
R_{OH}	上拉电阻	V_{OM_DC}	36	40	44	Ω

注: 1. POD12 电平的测试条件为 FPGA 侧的 I/O 内部终端阻抗设置为 40ohm, 存储颗粒侧数据端口的终端匹配阻抗设置为 60ohm, 更详细的配置说明请参考用户手册 (UG_915)。

2. V_{OUT} 条件参照表 3-1-16 中的描述定义。

表 3-1-18 PH1A 单端和差分 POD12 标准的直流输出电平定义

参数	描述	典型	单位
V_{OM_DC}	DC 输出中间测量电平 (IV 曲线线性度)	$0.8 \cdot V_{CCIO}$	V

3.2 交流电气特性

本章节提供 PH1A 核心和周边模块的性能参数, 时序参数及其典型值是常规的设计重要参数, 也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

3.2.1 时钟性能

表 3-2-1 最大时钟操作频率

时钟	描述	器件	性能		单位
			-2	-3	
GCLK	全局时钟	PH1A400/PH1A180	710	639	MHz
		PH1A90	628	565	MHz
		PH1A60	628	-	MHz
IOCLK	I/O 时钟	PH1A400/PH1A180	800	720	MHz
		PH1A90	680	612	MHz
		PH1A60	680	-	MHz
LCLK	本地时钟	PH1A400/PH1A180	540	486	MHz
		PH1A90	375	338	MHz
		PH1A60	375	-	MHz
MLCLK	多区域时钟	PH1A400/PH1A180	1000	900	MHz
		PH1A90	680	612	MHz
		PH1A60	680	-	MHz

表 3-2-2 时钟最大 skew

器件 ⁽¹⁾	描述	性能		单位	
		-2	-3		
T_{GCLK}	全局时钟	0.81	0.867	ns	
T_{IOCLK}	I/O 时钟	HR	0.04	0.04	ns
		HP	0.015	0.015	ns
T_{LCLK}	本地时钟	HR	0.11	0.11	ns
		HP	0.055	0.055	ns
T_{MLCLK}	多区域时钟	HR	0.17	0.17	ns
		HP	0.01	0.01	ns

注: 1. PH1A60 器件不支持-3 规格。

3.2.2 嵌入数字信号处理模块（DSP）规格

表 3-2-3 PH1A 嵌入 DSP 规格

器件 ⁽¹⁾	模式	性能		单位
		-2	-3	
PH1A	With all register used	500	425	MHz
	Multiply without MREG	303	258	MHz
	Without ABREG	363	309	MHz
	Without MREG and ABREG	259	220	MHz
	Cascade	500	425	MHz
	Without all reg	180	153	MHz
	Logic without all reg	180	153	MHz

注：1. PH1A60 器件不支持-3 规格。

3.2.3 存储器模块（ERAM）规格

表 3-2-4 PH1A 系列 FPGA 存储器模块规格表

存储器 ⁽¹⁾	模式	性能		单位
		-2	-3	
存储器 ⁽¹⁾	Clk to dout (无寄存器模式)	1.8	2.0	ns
	Clk to dout with ECC (无寄存器模式)	2.4	2.66	ns
	Fmax (Write Disable Read)	500	450	MHz
	Fmax (RBW-SDP)	380	342	MHz
	Fmax (In ECC Mode)	390	351	MHz

注：1. PH1A60 器件不支持-3 规格。

3.2.4 锁相环(PLL)规格

表 3-2-5 PH1A 器件的 PLL 规格

参数 ⁽³⁾	描述	最小	典型	最大	单位
		-2/-3			
F _{IN}	输入时钟频率	10	—	500	MHz
F _{PFD}	鉴频鉴相器 (PFD) 输入频率	10	—	500	MHz
F _{VCO}	锁相环内部振荡器频率范围	800	—	2000	MHz
F _{OUT}	输出时钟频率	6.25	—	1000	MHz
交流特性					
F _{INDUTY}	输入时钟占空比 (10-49MHz)	25	—	75	%
	输入时钟占空比 (50-199MHz)	30	—	70	%
	输入时钟占空比 (200-399MHz)	35	—	65	%
	输入时钟占空比 (400-499MHz)	40	—	60	%
	输入时钟占空比 (>500MHz)	45	—	55	%



F_{PSCLK}	动态相位移动时钟	0.01	—	500	MHz
$T_{INJITTER}^{(1)}$	输入时钟抖动, $f_{PFD} \geq 20$ MHz	—	—	1000	ps p-p
	输入时钟抖动, $f_{PFD} < 20$ MHz	—	—	0.02	UI
$T_{OUTDUTY}$	输出占空比波动范围 (用户设定值基础上波动)	-5	0	5	%
$T_{LOCK}^{(2)}$	PLL 锁定时间	—	—	250	us
T_{RST}	复位脉冲最小宽度	5	—	—	ns
F_{DRP}	动态配置时钟	—	—	100	MHz

注: 1. 参考时钟允许的最大输入抖动。为得到低抖动的输出时钟, 必须提供干净的参考时钟。PLL 不会滤掉低频输入噪声, PLL 会滤掉部分高频输入噪声。

2. TLOCK 之后, 在输出端得到稳定时钟。

3. PH1A60 器件不支持-3 规格。

3.2.5 电压温度检测指标

表 3-2-6 电压温度检测模块指标

描述	最小	典型	最大	单位
PVT 模块				
温度精度	—	—	±5	°C
电压精度 ⁽¹⁾	—	—	±3	%
时钟频率	1.15	—	1.25	MHz
时钟占空比	40	—	60	%
采样率	—	—	5000	Sample/sec
最小脉冲宽度 (为 ENA)	40	—	—	ns
转换时间	—	196	197	时钟周期数
TS 模块				
温度精度	—	—	±5	°C
时钟频率	0.8	1	1.5	MHz
数据转换时间	—	—	20000	Cycle

1. 此精度基于 3-sigma 变化。

3.2.6 I/O 接口性能

表 3-2-7 I/O 接口性能表 (输入)

输入/输出标准 ⁽³⁾		描述	最大		单位
			-2	-3	
最大输入频率					
LVDS25		LVDS, $V_{CCIO} = 2.5V$, HR I/O	1250	1250	Mbps
LVDS18		LVDS, $V_{CCIO} = 1.8V$, HR I/O	1250	1250	Mbps
		LVDS, $V_{CCIO} = 1.8V$, HP I/O	1500	1500	Mbps
LVTTTL33		LVTTTL, $V_{CCIO} = 3.3V$	300	300	Mbps
LVCMOS33		LVCMOS, $V_{CCIO} = 3.3V$	300	300	Mbps
LVCMOS25		LVCMOS, $V_{CCIO} = 2.5V$	300	300	Mbps
LVCMOS18		LVCMOS, $V_{CCIO} = 1.8V$	300	300	Mbps
LVCMOS15		LVCMOS, $V_{CCIO} = 1.5V$	300	300	Mbps
LVCMOS12		LVCMOS, $V_{CCIO} = 1.2V$	300	300	Mbps
HSTL18_I ⁽¹⁾		HSTL, $V_{CCIO} = 1.8V$, HR	300	300	Mbps
		HSTL, $V_{CCIO} = 1.8V$, HP I/O	600	600	Mbps
SSTL18_I		SSTL, $V_{CCIO} = 1.8V$	800	800	Mbps
SSTL15	PH1A400/PH1A180	SSTL, $V_{CCIO} = 1.5V$	1866	1600	Mbps
	PH1A90		1066	800	Mbps
SSTL135	PH1A400/PH1A180	SSTL, $V_{CCIO} = 1.35V$	1866	1600	Mbps
	PH1A90		1066	800	Mbps
SSTL12	PH1A400/PH1A180	SSTL, $V_{CCIO} = 1.2V$	1866	1600	Mbps
	PH1A90		1066	800	Mbps



输入/输出标准 ⁽³⁾		描述	最大		单位
			-2	-3	
最大输入频率					
POD12	PH1A400/PH1A180	POD, $V_{CC10} = 1.2V$	1866	1600	Mbps
	PH1A90		1066	800	Mbps
DIFF_HSTL18_I		HSTL, $V_{CC10} = 1.8V$	600	600	Mbps
DIFF_SSTL15	PH1A400/PH1A180	SSTL, $V_{CC10} = 1.5V$	1866	1600	Mbps
	PH1A90		1066	800	Mbps
DIFF_SSTL135	PH1A400/PH1A180	SSTL, $V_{CC10} = 1.35V$	1866	1600	Mbps
	PH1A90		1066	800	Mbps
DIFF_SSTL12	PH1A400/PH1A180	SSTL, $V_{CC10} = 1.2V$	1866	1600	Mbps
	PH1A90		1066	800	Mbps
DIFF_SSTL18_I		SSTL, $V_{CC10} = 1.8V$	800	800	Mbps
DIFF_POD12	PH1A400	POD, $V_{CC10} = 1.2V$	1866	1600	Mbps
	PH1A90		1066	800	Mbps
MIPI DPHY-RX		LP, $V_{CCDPHY}=0.95V$	10	10	Mbps
		HS, $V_{CCDPHY}=0.95V$	2500	2500	Mbps
		LVDS, $V_{CCDPHY}=0.95V$	1500	1500	Mbps
		LVC MOS, $V_{CCDPHY}=0.95V$	300	300	Mbps

注：1. 当使用内置 VREF 时，单端输入支持的最大速率为 600Mbps (300MHz)；

2. 上述 I/O 标准能否工作在最高频率需要以实际软件中的 Timing Report 为准。

3. PH1A60 器件不支持-3 规格。

表 3-2-8 I/O 接口性能表（输出）

输入/输出标准 ⁽³⁾		描述	最大		单位
			-2	-3	
最大输出频率					
LVDS25		LVDS, $V_{CC10} = 2.5V$, HR I/O	1250	1250	Mbps
LVDS18	LVDS, $V_{CC10} = 1.8V$, HR I/O		1250	1250	Mbps
	LVDS, $V_{CC10} = 1.8V$, HP I/O		1500	1500	Mbps
LVDS25_E		ELVDS, $V_{CC10} = 2.5V$	300	300	Mbps
LVDS33_E		ELVDS, $V_{CC10} = 3.3V$	300	300	Mbps
LVPECL_E		LVPECL, Emulated, $V_{CC10} = 3.3V$	300	300	Mbps
LVC MOS33		LVC MOS, $V_{CC10} = 3.3V$	300	300	Mbps
LVC MOS25		LVC MOS, $V_{CC10} = 2.5V$	300	300	Mbps
LVC MOS18		LVC MOS, $V_{CC10} = 1.8V$	300	300	Mbps
LVC MOS15		LVC MOS, $V_{CC10} = 1.5V$	300	300	Mbps
LVC MOS12		LVC MOS, $V_{CC10} = 1.2V$	300	300	Mbps
HSTL18_I ⁽¹⁾	HSTL, $V_{CC10} = 1.8V$, HR I/O		300	300	Mbps
	HSTL, $V_{CC10} = 1.8V$, HP I/O		600	600	Mbps



输入/输出标准 ⁽³⁾		描述	最大		单位
			-2	-3	
最大输出频率					
SSTL18_I		SSTL, V _{CCIO} = 1.8V	800	800	Mbps
SSTL15	PH1A400/PH1A180	SSTL, V _{CCIO} = 1.5V	1866	1600	Mbps
	PH1A90		1066	800	Mbps
SSTL135	PH1A400/PH1A180	SSTL, V _{CCIO} = 1.35V	1866	1600	Mbps
	PH1A90		1066	800	Mbps
SSTL12	PH1A400/PH1A180	SSTL, V _{CCIO} = 1.2V	1866	1600	Mbps
	PH1A90		1066	800	Mbps
POD12	PH1A400/PH1A180	POD, V _{CCIO} = 1.2V	1866	1600	Mbps
	PH1A90		1066	800	Mbps
DIFF_HSTL18_I	PH1A400	HSTL, V _{CCIO} = 1.8V	600	600	Mbps
	PH1A90		1066	800	Mbps
DIFF_SSTL15	PH1A400/PH1A180	SSTL, V _{CCIO} = 1.5V	1866	1600	Mbps
	PH1A90		1066	800	Mbps
DIFF_SSTL135	PH1A400/PH1A180	SSTL, V _{CCIO} = 1.35V	1866	1600	Mbps
	PH1A90		1066	800	Mbps
DIFF_SSTL12	PH1A400/PH1A180	SSTL, V _{CCIO} = 1.2V	1866	1600	Mbps
	PH1A90		1066	800	Mbps
DIFF_SSTL18_I		SSTL, V _{CCIO} = 1.8V	800	800	Mbps
DIFF_POD12	PH1A400	POD, V _{CCIO} = 1.2V	1866	1600	Mbps
	PH1A90		1066	800	Mbps
MIPI DPHY-RX		LP Lane0, VCCDPHY=0.95V	10	10	Mbps

注：1. 单端输出支持的最大速率为 600Mbps (300MHz)。

- 上述 I/O 标准能否工作在最高频率需要实际软件中的 Timing Report 为准。
- PH1A60 器件不支持-3 规格。

3.2.7 配置模块

表 3-2-9 PH1A 器件配置模式时序规格表

下载模式	模式	最小	典型	最大	单位
从动串行 (Slave Serial)	—	—	—	100	MHz
主动 SPI ⁽²⁾	x1	—	—	40	MHz
	x2	—	—	40	MHz
	x4	—	—	40	MHz
从动并行 (Slave Parallel) ⁽¹⁾	x8	—	—	100	MHz
	x16	—	—	100	MHz
	x32	—	—	100	MHz
JTAG	—	—	—	25	MHz



注：1. Slave Parallel 模式回读时，最高频率为 20M。

2. 主动 SPI 加载的最高频率为 33MHz. 此处最高频率考虑了 OSC + 20%偏差。



3.2.8 DDR

表 3-2-10 PH1A 嵌入 DDR3/4 规格

器 件	模 式	性 能		单 位
		-2	-3	
PH1A400/PH1A180	DDR3	1866	1600	Mbps
	DDR4	1866	1600	Mbps
PH1A90	DDR3	1066	800	Mbps

注：PH1A60 器件不包含 DDR 高速接口。

3.3 SERDES 串行收发器直流交流特性和规格

本章节提供 PH1A 系列 FPGA 的 SERDES 串行收发器的直流特性和交流特性，这些参数反映了器件在工作条件下的实际性能。PH1A60 器件没有 SERDES。

3.3.1 SERDES 串行收发器的直流参数

表 3-3-1 概括了 PH1A 系列 FPGA 的 SERDES 串行收发器的直流参数和规格。

表 3-3-1 SERDES 串行收发器直流参数规格

参数	描述	条件	Min	Typ	Max	单位
DV _{PPOUT}	差分输出电压峰峰值 ⁽¹⁾	发送器摆幅设置为最大	1000	—	—	mV
V _{CMOUTDC}	共模输出电压	vboost_en=0时	—	475	—	mV
R _{OUT}	差分输出阻抗	—	—	100	—	Ω
DV _{PPIN}	RX 差分输入峰峰值	AC耦合	200	—	1350	mV
V _{IN}	单端输入电压 ⁽²⁾	DC耦合	-200	—	V _{PHYVCC}	mV
V _{CMIN}	共模输入电压	DC耦合	—	475	—	mV
R _{IN}	差分输入阻抗	—	—	100	—	Ω
C _{EXT}	推荐外部 AC 耦合电容 ⁽³⁾	—	—	100	—	nF
DV _{RECLK}	恢复时钟输出电压峰峰值	—	500	580	700	mV
V _{CMRECLK}	恢复时钟输出共模电压	—	500	600	750	mV
R _{RESREF}	外部参考电阻阻值	精度要求+/-1%	—	200	—	Ω
I _{RESREFMAX}	外部参考电阻最大电流	—	—	—	2	mA
C _{RESREFLOAD}	外部参考电阻 PCB 走线寄生电容	—	—	—	10	pF
R _{RESREFROUTE}	外部参考电阻 PCB 走线寄生电阻	—	—	—	1	Ω

注：1. 输出摆幅和预加重电平可编程，此处为设置最大摆幅情况下的实际测量值。

2. 测量从管脚到地的电压。

3. 特定协议规范，具体参照《UG907_安路科技 PH1A 系列 FPGA 硬件设计指南》进行使用。

3.3.2 SERDES 串行收发器的交流参数

表 3-3-2 概括了 PH1A 系列 FPGA 的 SERDES 串行收发器的性能参数。

表 3-3-2 SERDES 串行收发器性能参数

参数	描述	器件	条件	数值	单位		
F_{MAXRATE}	最高线速率	PH1A400/PH1A180	—	12.5	Gbps		
		PH1A90SBG484	—	10.3125	Gbps		
		PH1A90SEG324	—	6.25	Gbps		
F_{MINRATE}	最低线速率	PH1A	—	1.2	Gbps		
$F_{\text{RATERANGE}}$	具体线速率范围	PH1A400/PH1A180	MPLLA	9.600–12.500	Gbps		
			MPLLB	7.467–8.533	Gbps		
			MPLLA	4.800–6.400	Gbps		
			MPLLB	3.733–4.266	Gbps		
			MPLLA	2.400–3.200	Gbps		
			MPLLB	1.867–2.133	Gbps		
		PH1A90SBG484	MPLLA	9.600–10.3125	Gbps		
			MPLLB	7.467–8.533	Gbps		
			MPLLA	4.800–6.400	Gbps		
			MPLLB	3.733–4.266	Gbps		
			MPLLA	2.400–3.200	Gbps		
			MPLLB	1.867–2.133	Gbps		
		PH1A90SEG324	MPLLA	4.800–6.2500	Gbps		
			MPLLB	3.733–4.266	Gbps		
			MPLLA	2.400–3.200	Gbps		
			MPLLB	1.867–2.133	Gbps		
			MPLLA	1.200–1.600	Gbps		
			MPLLB	1.200–1.600	Gbps		
		$F_{\text{PLL RANGE}}$	PLL 输出频率范围	PH1A	MPLLA	4.8 – 6.4	GHz
					MPLLB	7.47 – 8.53	GHz

3.3.3 SERDES 串行收发器 CRI 接口时钟性能

表 3-3-3 给出 SERDES 串行收发器的 CRI (Control Register Interface) 接口时钟最高频率

表 3-3-3 CRI (Control Register Interface) 接口交流特性

参数	描述	数值	单位
$F_{\text{CRICLKMAX}}$	CRI 接口时钟最高频率	100	Mhz

3.3.4 SERDES 串行收发器 PLL 和 CDR 性能

表 3-3-4 概括 SERDES 串行收发器 PLL 和 CDR 的锁定时间。

表 3-3-4 SERDES 串行收发器 PLL 锁定时间

参数	描述	条件	Min	Typ	Max	单位
T _{LOCK}	PLL 锁定时间	MPLLA	—	—	1.5	ms
		MPLLB	—	—	1.5	ms
T _{DLOCK}	CDR 恢复时钟自适应时间 ⁽¹⁾⁽²⁾	非 SSC (rxX_cdr_ssc_en=0)	—	7000	—	UI
		SSC (rxX_cdr_ssc_en=1)	—	42000	—	

注：1. PHY 会在此时间范围内判断是否 CDR 锁频错误超过基准 15000ppm，如果超过，将会自动重置 CDR，之后会继续等待表中时间，如此循环。

2. 在本产品支持的协议范围内，CDR 锁定时间如表所示。对于嵌入时钟链路存在较大或不稳定频偏或链路信道条件（抖动，插损，反射）超过 spec 规定时，链路存在意外失锁可能，产品提供额外功能自动重新锁定，其每次重新锁定最大锁定时间和表中一致。

3.3.5 SERDES 串行收发器的用户时钟交流特性

表 3-3-5 概括 PH1A 系列 FPGA 的 SERDES 串行收发器的用户时钟交流特性和要求

表 3-3-5 SERDES 用户时钟输入交流特性

参数	描述	条件	数值	单位
F _{TXOUT}	TXOUTCLK 最高频率	—	645	MHz
F _{TXOUT2}	TXOUT2CLK 最高频率	—	645	MHz
F _{TXIN2} ⁽¹⁾	TXUSR2CLK 最高频率	16bit 用户数据位宽	390.625	MHz
		32bit 用户数据位宽	322.266	MHz
		64bit 用户数据位宽	161.133	MHz
F _{RXOUT}	RXOUTCLK 最高频率	—	645	MHz
F _{RXOUT2}	RXOUT2CLK 最高频率	—	645	MHz
F _{RXIN2} ⁽¹⁾	RXUSR2CLK 最高频率	16bit 用户数据位宽	390.625	MHz
		32bit 用户数据位宽	322.266	MHz
		64bit 用户数据位宽	161.133	MHz

注：1. 设置为 16bit 用户数据位宽时，最高线速率不能超过 6.25Gbps。



3.3.6 SERDES 发送器的交流特性

表 3-3-6 概括 PH1A 系列 FPGA 的 SERDES 发送器的交流特性

表 3-3-6 SERDES 串行收发器发送交流特性

参数	描述	器件	条件	Min	Typ	Max	单位	
F_{MAXTX}	TX 最高线速率	PH1A	—	1.2		$F_{MAXRATE}$	Gbps	
T_{RTX}	TX 上升沿时间		20%-80%	—	40	—	ps	
T_{FTX}	TX 下降沿时间		80%-20%	—	40	—	ps	
T_{LLSKEW}	TX 各个 lane 之间 skew	PH1A400	—	—	—	1000	ps	
		PH1A90/PH1A180 ²	—	—	—	2UI+500ps	—	
T_{OSKEW}	TXP 和 TXM 差分对之间 skew	PH1A	—	—	—	12	ps	
$V_{TXOVBVDDP}$	电气空闲输出幅度		—	—	—	15	mV	
$T_{TXOVBTRANSITION}$	电气空闲切换时间		—	—	—	100	ns	
TX_{SST}	TX SS (spread spectrum) 扩频范围		调制频率 @33KHz	—	5000 ⁽¹⁾	—	+5000 ⁽¹⁾	ppm
$TJ_{12.5}$	Total Jitter		12.5 Gbps	—	—	—	0.278	UI
$DJ_{12.5}$	Deterministic Jitter	12.5 Gbps	—	—	—	0.05	UI	
$TJ_{10.3125}$	Total Jitter	10.3125 Gbps	—	—	—	0.233	UI	
$DJ_{10.3125}$	Deterministic Jitter	10.3125 Gbps	—	—	—	0.042	UI	
$TJ_{6.25}$	Total Jitter	6.25Gbps	—	—	—	0.172	UI	
$DJ_{6.25}$	Deterministic Jitter	6.25Gbps	—	—	—	0.032	UI	
$TJ_{3.125}$	Total Jitter	3.125Gbps	—	—	—	0.104	UI	
$DJ_{3.125}$	Deterministic Jitter	3.125Gbps	—	—	—	0.020	UI	
$TJ_{2.5}$	Total Jitter	2.5Gbps	—	—	—	0.088	UI	
$DJ_{2.5}$	Deterministic Jitter	2.5Gbps	—	—	—	0.018	UI	
$TJ_{1.25}$	Total Jitter	1.25Gbps	—	—	—	0.057	UI	
$DJ_{1.25}$	Deterministic Jitter	1.25Gbps	—	—	—	0.015	UI	



参数	描述	器件	条件	Min	Typ	Max	单位
$TJ_{10.3125}^3$	Total Jitter	PH1A90	10.3125 Gbps	—	—	0.3	UI
$DJ_{10.3125}^3$	Deterministic Jitter		10.3125 Gbps	—	—	0.1	UI
$TJ_{6.25}$	Total Jitter		6.25Gbps	—	—	0.25	UI
$DJ_{6.25}$	Deterministic Jitter		6.25Gbps	—	—	0.08	UI
$TJ_{3.125}$	Total Jitter		3.125Gbps	—	—	0.2	UI
$DJ_{3.125}$	Deterministic Jitter		3.125Gbps	—	—	0.05	UI
$TJ_{2.5}$	Total Jitter		2.5Gbps	—	—	0.15	UI
$DJ_{2.5}$	Deterministic Jitter		2.5Gbps	—	—	0.03	UI
$TJ_{1.25}$	Total Jitter		1.25Gbps	—	—	0.15	UI
$DJ_{1.25}$	Deterministic Jitter		1.25Gbps	—	—	0.02	UI
$TJ_{12.5}$	Total Jitter	PH1A180	12.5 Gbps	—	—	0.295	UI
$DJ_{12.5}$	Deterministic Jitter		12.5 Gbps	—	—	0.055	UI
$TJ_{10.3125}$	Total Jitter		10.3125 Gbps	—	—	0.256	UI
$DJ_{10.3125}$	Deterministic Jitter		10.3125 Gbps	—	—	0.046	UI
$TJ_{6.25}$	Total Jitter		6.25Gbps	—	—	0.189	UI
$DJ_{6.25}$	Deterministic Jitter		6.25Gbps	—	—	0.035	UI
$TJ_{3.125}$	Total Jitter		3.125Gbps	—	—	0.114	UI
$DJ_{3.125}$	Deterministic Jitter		3.125Gbps	—	—	0.022	UI
$TJ_{2.5}$	Total Jitter		2.5Gbps	—	—	0.097	UI
$DJ_{2.5}$	Deterministic Jitter		2.5Gbps	—	—	0.02	UI
$TJ_{1.25}$	Total Jitter	1.25Gbps	—	—	0.063	UI	
$DJ_{1.25}$	Deterministic Jitter	1.25Gbps	—	—	0.02	UI	

注：1. 最大 SSC 扩频范围为 5000ppm, 可调节范围如参数所示；

2. TX lane 在同一个 sector 内部时, skew 如参数所示；

3. 该规格仅适用于 PH1A90SBG484 器件。

3.3.7 SERDES 接收器的交流特性

表 3-3-7 概括 PH1A 系列 FPGA 的 SERDES 接收器的交流特性

表 3-3-7 SERDES 接收器 RX 交流特性

参数	描述	器件	条件	Min	Typ	Max	单位
F _{MAXRX}	RX 线速率	PH1A	—	1.2	—	F _{MAXRATE}	Gbps
RX _{SS} T	RX SS (spread spectrum) 扩频支持范围		调制频率 33KHz	-5000	—	0	ppm
RX _{RL}	接收 Run Length		器件最高线速率	—	—	300	UI
RX _{PPMTOL}	输入数据和参考时钟 PPM 频偏		—	-700	—	+700	ppm
SJ Jitter Tolerance							
JT_SJ _{12.5}	Sinusoidal Jitter	PH1A400	12.5Gbps	0.35	—	—	UI
JT_SJ _{10.3125}	Sinusoidal Jitter		10.3125Gbps	0.35	—	—	UI
JT_SJ _{6.25}	Sinusoidal Jitter		6.25Gbps	0.35	—	—	UI
JT_SJ _{3.125}	Sinusoidal Jitter		3.125Gbps	0.35	—	—	UI
JT_SJ _{2.5}	Sinusoidal Jitter		2.5Gbps	0.5	—	—	UI
JT_SJ _{1.25}	Sinusoidal Jitter		1.25Gbps	0.5	—	—	UI
JT_SJ _{10.3125} ¹	Sinusoidal Jitter	PH1A90	10.3125Gbps	0.3	—	—	UI
JT_SJ _{6.25}	Sinusoidal Jitter		6.25Gbps	0.3	—	—	UI
JT_SJ _{3.125}	Sinusoidal Jitter		3.125Gbps	0.35	—	—	UI
JT_SJ _{2.5}	Sinusoidal Jitter		2.5Gbps	0.4	—	—	UI
JT_SJ _{1.25}	Sinusoidal Jitter		1.25Gbps	0.4	—	—	UI
JT_SJ _{12.5}	Sinusoidal Jitter	PH1A180	12.5Gbps	0.31	—	—	UI
JT_SJ _{10.3125}	Sinusoidal Jitter		10.3125Gbps	0.31	—	—	UI
JT_SJ _{6.25}	Sinusoidal Jitter		6.25Gbps	0.31	—	—	UI
JT_SJ _{3.125}	Sinusoidal Jitter		3.125Gbps	0.31	—	—	UI
JT_SJ _{2.5}	Sinusoidal Jitter		2.5Gbps	0.45	—	—	UI
JT_SJ _{1.25}	Sinusoidal Jitter		1.25Gbps	0.45	—	—	UI

注：1. 该规格仅适用于 PH1A90SBG484 器件。

3.3.8 SERDES 串行收发器参考时钟性能

表 3-3-8 给出 PH1A 系列 FPGA 的 SERDES 串行收发器参考时钟的规格要求

表 3-3-8 SERDES 收发器参考时钟要求⁽¹⁾

参数	DC 参数	条件	Min	Typ	Max	单位
$V_{DIFFREFCLK}$	差分输入电压	—	300	—	$2 \cdot V_{PHYVCC}$	mV
F_{REFCLK}	参考时钟频率范围 ⁽²⁾	—	25	—	400	MHz
$T_{DREFCLK}$	参考时钟占空比	—	40	—	60	%
$F_{REFCLKOFFSET}$	参考时钟频率偏移 ⁽²⁾	—	-100	—	+100	ppm
RJ_{REFCLK} (≤ 8 Gbps)	Random Jitter (RMS)	Integrated RJ from 12 kHz to 20 MHz	—	—	1.6	psrms
		Integrated RJ from 2 MHz to 20 MHz	—	—	1.2	
DJ_{REFCLK} (≤ 8 Gbps)	Deterministic Jitter (pp)	0.75-10MHz (offset)	—	—	2.8	ps, pp
		0.2-50MHz (offset)	—	—	5.6	
RJ_{REFCLK} (> 8 Gbps)	Random Jitter (RMS)	Integrated RJ from 12 kHz to 20 MHz	—	—	1.0	psrms
		Integrated RJ from 2 MHz to 20 MHz	—	—	0.8	
DJ_{REFCLK} (> 8 Gbps)	Deterministic Jitter (pp)	0.75-10MHz (offset)	—	—	1.7	ps, pp
		0.2-50MHz (offset)	—	—	3.4	
$DSKEW_{REFCLK}$	差分对输入偏斜 (skew)	—	—	—	100	ps
SR_{REFCLK}	斜率 (Slew rate)	20%-80%	0.6	—	—	V/ns

注：1. 如使用 PCIe 模式，需遵守 CEM 的规格。

2. 根据不同协议规范来选择。



3.3.9 PCI Express 控制器输入时钟频率要求

表 3-3-9 给出 PH1A 系列 FPGA PCI Express 控制器输入时钟频率要求

表 3-3-9 PCI Express 控制器输入时钟频率要求

参数	参数说明	条件	Min	Typ	Max	单位
F _{DRPCLK}	drp_cr_para_clk 频率	—	—	—	100	MHz
F _{AUXCLK}	app_auxclk 频率	—	—	—	50	MHz

3.4 MIPI DPHY-RX 直流电气特性

表 3-4-1 MIPI HS 接收直流参数规格

参数	参数描述	Min	Typ	Max	Units
V_{CMRX}	输入共模电压	90	—	310	mV
V_{IDTH}	差分输入高阈值 (速率 ≤ 1.5 Gbps)	70	—	—	mV
	差分输入高阈值 (速率 > 1.5 Gbps)	40	—	—	mV
V_{IDTL}	差分输入低阈值 (速率 ≤ 1.5 Gbps)	—	—	-70	mV
	差分输入低阈值 (速率 > 1.5 Gbps)	—	—	-40	mV
V_{IHHS}	单端输入高电压	—	—	460	mV
V_{ILHS}	单端输入低电压	-40	—	—	mV
R_T	端接差分电阻	80	100	125	Ω

表 3-4-2 MIPI LP 直流参数规格

参数	参数描述	Min	Typ	Max	Units
V_{IH}	输入高电压	790	—	—	mV
V_{IL}	输入低电压	—	—	290	mV
V_{HYST}	Hysteresis for Schmitt Trigger Input	25	—	—	mV
E_{SPIKE}	输入脉宽抑制	—	—	300	V. ps
V_{OH_lane0}	Lane0 输出高电平	0.95	1.1	1.3	V
V_{OL_lane0}	Lane0 输出低电平	-50	—	50	mV

4 引脚和封装

4.1 IO 命名规则

表 4-1-1 引脚命名规则

Pin名称	通用IO	差分IO	复用IO
命名规则 1 没有对应功能则为空白	<p>通用IO: IO, X1, X2, X3, X4, X5, X6, X7, X8</p> <p>IO类型, 真差分不显示, 伪差分B标识</p> <p>IO位置L/R/M标识left/right/middle</p> <p>编号0-25</p> <p>差分极性P/N, 非差分对管脚, 不显示</p> <p>所在BANK号</p> <p>复用功能1</p> <p>复用功能2</p> <p>复用功能3</p>		
示例	(1) IO_L1N_13, D1, DIN, MISO: 此管脚为通用 IO, 同时为真差分端口, 在封装的 L (left) 位置, 是编号为 1 的差分对管脚的 N 端, 位于 FPGA 的 BANK13 上, 具有 D1, DIN, MISO 的复用功能。		
	(2) IO_L0_12: 此管脚是通用 IO, 在封装的 L (left) 位置, 是编号为 0 的非差分对管脚, 位于 FPGA 的 BANK12 上。		
	(3) IO_R0_33: 此管脚是通用 IO, 在封装的 R (Right) 位置, 是编号为 0 的非差分对管脚, 位于 FPGA 的 BANK33 上。		
	(4) I_3P_DPHY0, DP2_0: 此管脚是输入 IO, 同时为真差分端口, 是编号为 3 的差分对管脚的 P 端, 位于 FPGA 的 DPHY0 BANK 上, 具有 MIPI IO 的复用功能: MIPI DP2 数据输入接口。		
Pin名称	SERDES管脚	BANK供电管脚	Pin名称
命名规则 2	<p>名称: X1, X2</p> <p>所在BANK号</p>		
示例	(1) TXM0_80: SERDES TX 端口 0 的 M (M/N 标识极性) 端口, 位于 FPGA BANK80 上。		
	(2) RXRECCLKP_80: SERDES RXRECCLK 端口的 P (P/N 标识极性) 端, 位于 FPGA 的 BANK80 上。		
	(3) PHYVCCT_80: BANK80 的 SERDES Analog Supply 供电管脚。		



Pin名称	GND	空白功能管脚 (NC)	核心供电管脚
命名规则 4	名称 <u> </u> X1		
示例	(1) GND: 电源供电负极, 芯片 0 电平参考管脚。		
	(2) NC: 空白功能管脚。		
	(3) VCCINT: FPGA 核心供电管脚。		
	(4) VCCAUX: FPGA 辅助电路的供电电源管脚。		

4.2 引脚定义和规则

表 4-2-1 引脚定义和规则

管脚功能描述		
功能名称	输入/输出	功能描述
电源管脚		
VCCINT	—	PH1A 内部核心模块电源 0.95V
VCCAUX	—	辅助电源 1.8V
VCCIO	—	PH1A 器件 I/O 组电源 1.2-3.3V
PHYVCCA	—	SERDES High Voltage IO Supply 1.8V
PHYVCCCT	—	PH1A 器件 SERDES Analog Supply 0.95V
VCCDPHY	—	PH1A 器件 MIPI 电源 0.95V
GND	—	电源地
JTAG配置相关管脚		
DO~D31	复用功能, 输入/输出	配置数据输入输出引脚
CSN	复用功能, 输入	片选信号 并行配置接口片选信号, 低电平有效。 Slave Parallel: 外部控制器可通过 CSN 使能并行接口或者并行级联, 连接到前一级 CSN。
RDWRN	复用功能, 输入	读写使能 Slave Parallel 模式: RDWRN 将由外部配置控制器驱动, 当 RDWRN 为低电平时, 写入配置数据; 当 RDWRN 为高电平时, 可以将配置数据读出。 其他模式: RDWRN 不做要求。
CSON	复用功能, 输出	片选输出 在并行级联配置时, 前一级器件的 CSON 连接到下一级器件的 CSN 管脚。当 CSON 为低电平时, 下一级器件将被选中。
DOUT	复用功能, 输出	配置串行级联数据输出脚
SPICSN	复用功能, 输出	Flash Chip Select MSPI 模式: Flash 片选信号;
BUSY	复用功能, 输出	并行模式 Output Busy Slave Parallel 模式: 当 RDWRN 为高电平时, BUSY 回读数据指示信号, 低有效。



管脚功能描述		
HSWAPEN	复用功能, 输入	控制 I/O 管脚在配置过程中为弱上拉状态/高阻态 HSWAPEN=0, 用户 I/O 管脚在配置过程中为弱上拉状态 HSWAPEN=1, 用户 I/O 处于高阻态。
USRCLK	复用功能, 输入	测试引脚
MOSI	复用功能, 输出	MSPi 模式: 数据输出管脚, 连接到 SPI Flash 数据输入管脚。
DIN	复用功能, 输入	配置级联数据输入引脚
MISO	复用功能, 输入	MSPi 模式下的数据输入管脚
PROGRAMN	专用 I/O, 输入	配置逻辑复位信号, 低电平有效。 PROGRAMN 管脚需要通过连接 1 个 4.7K 欧姆的电阻上拉到 VCCIO_0。
DONE	专用 I/O, 输入/输出	配置完成管脚, 高电平有效。 DONE 管脚需要通过连接 1 个 4.7K 欧姆的电阻上拉到 VCCIO。
MO~M2	专用 I/O, 输入	配置模式选择管脚
INITN	专用 I/O, 输入/输出	配置初始化管脚, 高电平有效。 当 FPGA 处于复位状态时, INITN 为低电平; 当 FPGA 处于初始化过程或者检测到配置错误时, 配置模块也将拉低 INITN 管脚; 当检测到 PROGRAMN 管脚拉高后, FPGA 开始启动初始化过程, 在初始化完成后, INITN 将变成高电平。在初始化未完成前, 用户可以拉低 INITN 来延迟初始化过程; 初始化过程完成后, FPGA 开始下载码流数据到内部配置 RAM。 INITN 管脚需要通过连接 1 个 4.7K 欧姆的电阻上拉到 VCCIO。
TDO	专用 I/O, 输出	JTAG 串行数据输出。当多个器件级联时, 当前器件的 TDO 管脚接入到下一个器件的 TDI 管脚。
TMS	专用 I/O, 输入	JTAG 测试模式选择输入。当多个器件级联配置时, 需要加驱动缓冲。需要通过 4.7K 电阻上拉。
CCLK ¹	专用 I/O, 输入/输出	配置时钟 从模式: CCLK 方向为输入; 主模式: CCLK 方向为输出。
TDI	专用 I/O, 输入	JTAG 串行数据输入。当多个器件级联配置时, 下一个器件的 TDI 管脚接上一个器件的 TDO 管脚。
TCK	专用 I/O, 输入	JTAG 时钟输入。需要通过 4.7K 电阻上拉。
TRSTN	专用 I/O, 输入	配置模块和 Serdes JTAG Chain 切换信号 当 TRSTN=0, JTAG 连接到配置模块; 当 TRSTN=1, JTAG 连接到 Serdes 的 JTAG Chain
SERDES相关管脚		



管脚功能描述		
REFCLKM	复用功能, 输入	SERDES 参考时钟负端口
REFCLKP	复用功能, 输入	SERDES 参考时钟正端口
RXM0~ RXM1	复用功能, 输入	SERDES 接收负端口
RXP0~ RXP1	复用功能, 输入	SERDES 接收正端口
TXM0~ TXM1	复用功能, 输出	SERDES 发送负端口
TXP0~ TXP1	复用功能, 输出	SERDES 发送正端口
RXRECCLKM	复用功能, 输出	SERDES 接收恢复时钟负端口
RXRECCLKP	复用功能, 输出	SERDES 接收恢复时钟正端口
RESREF	—	SERDES 参考电阻端口, 对地参考电阻值 200 欧姆误差应小于 1%。
MIPI 相关管脚 ²		
I_xN_DPHYx/ I_xP_DPHYx	专用 I/O, 输入	MIPI IO 端口
其他		
GCLK10T0~GCLK10T3	复用功能, 输入/输出	全局时钟 True PADO~3 端口
GCLK10C0~GCLK10C3	复用功能, 输入/输出	全局时钟 Comp PADO~3 端口
NC	—	无连接
DDR 相关管脚		
Tx_VREF_xx	复用功能, 输入	参考电压
VRP_xx	复用功能, 输入	需要电阻接地
Tx_DQS_N_xx	复用功能, 输入/输出	数据同步采样时钟信号
Tx	复用功能, 输入/输出	DDR BYTE GROUP
PVT相关		
PH1A 电压温度检测模块未引出模拟管脚, 具备内部温度和电压检测功能。		

注: 1. PH1A60\PH1A90 和 PH1A180 器件的 CCLK 管脚可以复用为普通 IO 管脚。

2. PH1A 系列仅 PH1A90SBG484 和 P1HA180SFG676 器件包含 MIPI。



4.3 SFG900 引脚信息

SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
Y20	11	IO_L0_11	AK23	11	IO_L17P_11
Y24	11	IO_L1N_11	AH25	11	IO_L18N_11
Y23	11	IO_L1P_11	AG25	11	IO_L18P_11
AA21	11	IO_L2N_11	AF21	11	IO_L19N_11
Y21	11	IO_L2P_11	AF20	11	IO_L19P_11
AB23	11	IO_L3N_11	AH22	11	IO_L20N_11
AB22	11	IO_L3P_11	AG22	11	IO_L20P_11
AA23	11	IO_L4N_11	AJ23	11	IO_L21N_11
AA22	11	IO_L4P_11	AJ22	11	IO_L21P_11
AC21	11	IO_L5N_11	AH20	11	IO_L22N_11
AC20	11	IO_L5P_11	AG20	11	IO_L22P_11
AB20	11	IO_L6N_11	AJ21	11	IO_L23N_11
AA20	11	IO_L6P_11	AH21	11	IO_L23P_11
AC25	11	IO_L7N_11	AK21	11	IO_L24N_11
AB24	11	IO_L7P_11	AK20	11	IO_L24P_11
AD22	11	IO_L8N_11	AE20	11	IO_L25_11
AC22	11	IO_L8P_11			
AD24	11	IO_L9N_11, GPLL1_11_OUTN			
AC24	11	IO_L9P_11, GPLL1_11_OUTP			
AE21	11	IO_L10N_11			
AD21	11	IO_L10P_11			
AF23	11	IO_L11N_11, GCLK10C3_11			
AE23	11	IO_L11P_11, GCLK10T3_11			
AE24	11	IO_L12N_11, GCLK10C2_11			
AD23	11	IO_L12P_11, GCLK10T2_11			
AG23	11	IO_L13N_11, GCLK10C1_11			
AF22	11	IO_L13P_11, GCLK10T1_11			
AH24	11	IO_L14N_11, GCLK10C0_11			
AG24	11	IO_L14P_11, GCLK10T0_11			
AK25	11	IO_L15N_11			
AJ24	11	IO_L15P_11			
AF25	11	IO_L16N_11, GPLL0_11_OUTN			
AE25	11	IO_L16P_11, GPLL0_11_OUTP			
AK24	11	IO_L17N_11			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
Y25	12	IO_L0_12	AJ28	12	IO_L17P_12
AA26	12	IO_L1N_12	AH30	12	IO_L18N_12
Y26	12	IO_L1P_12	AG30	12	IO_L18P_12
W28	12	IO_L2N_12	AD26	12	IO_L19N_12
W27	12	IO_L2P_12	AC26	12	IO_L19P_12
AA28	12	IO_L3N_12	AK28	12	IO_L20N_12
Y28	12	IO_L3P_12	AJ27	12	IO_L20P_12
Y29	12	IO_L4N_12	AG28	12	IO_L21N_12
W29	12	IO_L4P_12	AG27	12	IO_L21P_12
AB28	12	IO_L5N_12	AH27	12	IO_L22N_12
AA27	12	IO_L5P_12	AH26	12	IO_L22P_12
AB25	12	IO_L6N_12	AF27	12	IO_L23N_12
AA25	12	IO_L6P_12	AF26	12	IO_L23P_12
AG30	12	IO_L7N_12	AK26	12	IO_L24N_12
AG29	12	IO_L7P_12	AJ26	12	IO_L24P_12
AA30	12	IO_L8N_12	AE26	12	IO_L25_12
Y30	12	IO_L8P_12			
AE29	12	IO_L9N_12, GPLL1_12_OUTN			
AD29	12	IO_L9P_12, GPLL1_12_OUTP			
AB30	12	IO_L10N_12			
AB29	12	IO_L10P_12			
AD28	12	IO_L11N_12, GCLKIOC3_12			
AD27	12	IO_L11P_12, GCLKIOT3_12			
AG27	12	IO_L12N_12, GCLKIOC2_12			
AB27	12	IO_L12P_12, GCLKIOT2_12			
AH29	12	IO_L13N_12, GCLKIOC1_12			
AG29	12	IO_L13P_12, GCLKIOT1_12			
AF28	12	IO_L14N_12, GCLKIOC0_12			
AE28	12	IO_L14P_12, GCLKIOT0_12			
AK30	12	IO_L15N_12			
AK29	12	IO_L15P_12			
AF30	12	IO_L16N_12, GPLLO_12_OUTN			
AE30	12	IO_L16P_12, GPLLO_12_OUTP			
AJ29	12	IO_L17N_12			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
R19	13	IO_L0_13	V30	13	IO_L17N_13, D29
R25	13	IO_L1N_13, D1, DIN, MISO	V29	13	IO_L17P_13, D30
P24	13	IO_L1P_13, D0, MOSI	W26	13	IO_L18N_13, D27
R21	13	IO_L2N_13, D3, HOLDN	V25	13	IO_L18P_13, D28
R20	13	IO_L2P_13, D2, WPN	V20	13	IO_L19N_13, D25
R24	13	IO_L3N_13, USRCLK	V19	13	IO_L19P_13, D26
R23	13	IO_L3P_13, HSWAPEN	W24	13	IO_L20N_13, D23
T21	13	IO_L4N_13, D5	W23	13	IO_L20P_13, D24
T20	13	IO_L4P_13, D4	U23	13	IO_L21N_13, D22
T23	13	IO_L5N_13, D7	U22	13	IO_L21P_13
T22	13	IO_L5P_13, D6	V22	13	IO_L22N_13, D20
U20	13	IO_L6N_13, D8	V21	13	IO_L22P_13, D21
U19	13	IO_L6P_13, SPICSN, BUSY	V24	13	IO_L23N_13, D18
R29	13	IO_L7N_13, D10	U24	13	IO_L23P_13, D19
P29	13	IO_L7P_13, D9	W22	13	IO_L24N_13, D16
P28	13	IO_L8N_13, D12	W21	13	IO_L24P_13, D17
P27	13	IO_L8P_13, D11	W19	13	IO_L25_13
T30	13	IO_L9N_13, D13			
R30	13	IO_L9P_13			
R26	13	IO_L10N_13, D15			
P26	13	IO_L10P_13, D14			
T28	13	IO_L11N_13, GCLKIO03_13			
R28	13	IO_L11P_13, GCLKIOT3_13			
T27	13	IO_L12N_13, GCLKIO02_13			
T26	13	IO_L12P_13, GCLKIOT2_13			
U28	13	IO_L13N_13, GCLKIO01_13			
U27	13	IO_L13P_13, GCLKIOT1_13			
U25	13	IO_L14N_13, GCLKIO00_13			
T25	13	IO_L14P_13, GCLKIOT0_13			
U30	13	IO_L15N_13, CSON, DOUT			
U29	13	IO_L15P_13, RDWRN			
V27	13	IO_L16N_13, D31			
V26	13	IO_L16P_13, CSN			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
M19	14	IO_L0_14	N29	14	IO_L17P_14
J24	14	IO_L1N_14	N26	14	IO_L18N_14
J23	14	IO_L1P_14	N25	14	IO_L18P_14
L23	14	IO_L2N_14	N20	14	IO_L19N_14
L22	14	IO_L2P_14	N19	14	IO_L19P_14
K24	14	IO_L3N_14	N22	14	IO_L20N_14
K23	14	IO_L3P_14	N21	14	IO_L20P_14
K21	14	IO_L4N_14	N24	14	IO_L21N_14
L21	14	IO_L4P_14	P23	14	IO_L21P_14
J22	14	IO_L5N_14	P22	14	IO_L22N_14
J21	14	IO_L5P_14	P21	14	IO_L22P_14
L20	14	IO_L6N_14	M25	14	IO_L23N_14
M20	14	IO_L6P_14	M24	14	IO_L23P_14
H29	14	IO_L7N_14	M23	14	IO_L24N_14
J29	14	IO_L7P_14	M22	14	IO_L24P_14
J28	14	IO_L8N_14	P19	14	IO_L25_14
J27	14	IO_L8P_14			
K30	14	IO_L9N_14, GPLL1_14_OUTN			
L30	14	IO_L9P_14, GPLL1_14_OUTP			
J26	14	IO_L10N_14			
K26	14	IO_L10P_14			
L27	14	IO_L11N_14, GCLKIOC3_14			
L26	14	IO_L11P_14, GCLKIOT3_14			
K25	14	IO_L12N_14, GCLKIOC2_14			
L25	14	IO_L12P_14, GCLKIOT2_14			
K29	14	IO_L13N_14, GCLKIOC1_14			
K28	14	IO_L13P_14, GCLKIOT1_14			
L28	14	IO_L14N_14, GCLKIOT0_14			
M28	14	IO_L14P_14, GCLKIOT0_14			
M30	14	IO_L15N_14			
M29	14	IO_L15P_14			
M27	14	IO_L16N_14, GPLLO_14_OUTN			
N27	14	IO_L16P_14, GPLLO_14_OUTP			
N30	14	IO_L17N_14			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
F23	15	IO_L0_15	B30	15	IO_L17P_15
A23	15	IO_L1N_15	E30	15	IO_L18N_15
B23	15	IO_L1P_15	E29	15	IO_L18P_15
D23	15	IO_L2N_15	H25	15	IO_L19N_15
E23	15	IO_L2P_15	H24	15	IO_L19P_15
E25	15	IO_L3N_15	F28	15	IO_L20N_15
F25	15	IO_L3P_15	G28	15	IO_L20P_15
D24	15	IO_L4N_15	F27	15	IO_L21N_15
E24	15	IO_L4P_15	G27	15	IO_L21P_15
E26	15	IO_L5N_15	F30	15	IO_L22N_15
F26	15	IO_L5P_15	G29	15	IO_L22P_15
G24	15	IO_L6N_15	H27	15	IO_L23N_15
G23	15	IO_L6P_15	H26	15	IO_L23P_15
A27	15	IO_L7N_15	G30	15	IO_L24N_15
B27	15	IO_L7P_15	H30	15	IO_L24P_15
B24	15	IO_L8N_15	G25	15	IO_L25_15
G24	15	IO_L8P_15			
A28	15	IO_L9N_15, GPLL1_15_OUTN			
B28	15	IO_L9P_15, GPLL1_15_OUTP			
A26	15	IO_L10N_15			
A25	15	IO_L10P_15			
G26	15	IO_L11N_15, GCLKI0C3_15			
D26	15	IO_L11P_15, GCLKI0T3_15			
B25	15	IO_L12N_15, GCLKI0C2_15			
G25	15	IO_L12P_15, GCLKI0T2_15			
G27	15	IO_L13N_15, GCLKI0C1_15			
D27	15	IO_L13P_15, GCLKI0T1_15			
D28	15	IO_L14N_15, GCLKI0C0_15			
E28	15	IO_L14P_15, GCLKI0T0_15			
B29	15	IO_L15N_15			
G29	15	IO_L15P_15			
G30	15	IO_L16N_15, GPLL0_15_OUTN			
D29	15	IO_L16P_15, GPLL0_15_OUTP			
A30	15	IO_L17N_15			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
G19	16	IO_L0_16	C17	16	IO_L17P_16
J18	16	IO_L1N_16	F17	16	IO_L18N_16
K18	16	IO_L1P_16	G17	16	IO_L18P_16
G20	16	IO_L2N_16	B20	16	IO_L19N_16
H20	16	IO_L2P_16	C20	16	IO_L19P_16
H17	16	IO_L3N_16	A17	16	IO_L20N_16
J17	16	IO_L3P_16	A16	16	IO_L20P_16
H19	16	IO_L4N_16	A21	16	IO_L21N_16
J19	16	IO_L4P_16	A20	16	IO_L21P_16
L18	16	IO_L5N_16	A18	16	IO_L22N_16
L17	16	IO_L5P_16	B18	16	IO_L22P_16
K20	16	IO_L6N_16	A22	16	IO_L23N_16
K19	16	IO_L6P_16	B22	16	IO_L23P_16
H22	16	IO_L7N_16	B19	16	IO_L24N_16
H21	16	IO_L7P_16	C19	16	IO_L24P_16
C21	16	IO_L8N_16	E18	16	IO_L25_16
D21	16	IO_L8P_16			
F22	16	IO_L9N_16, GPLL1_16_OUTN			
G22	16	IO_L9P_16, GPLL1_16_OUTP			
C22	16	IO_L10N_16			
D22	16	IO_L10P_16			
E21	16	IO_L11N_16, GCLK10C3_16			
F21	16	IO_L11P_16, GCLK10T3_16			
E20	16	IO_L12N_16, GCLK10C2_16			
F20	16	IO_L12P_16, GCLK10T2_16			
D18	16	IO_L13N_16, GCLK10C1_16			
D17	16	IO_L13P_16, GCLK10T1_16			
D19	16	IO_L14N_16, GCLK10C0_16			
E19	16	IO_L14P_16, GCLK10T0_16			
C16	16	IO_L15N_16			
D16	16	IO_L15P_16			
F18	16	IO_L16N_16, GPLL0_16_OUTN			
G18	16	IO_L16P_16, GPLL0_16_OUTP			
B17	16	IO_L17N_16			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
G12	17	IO_L0_17	A11	17	IO_L17P_17
K16	17	IO_L1N_17	C11	17	IO_L18N_17
L16	17	IO_L1P_17	D11	17	IO_L18P_17
K15	17	IO_L2N_17	E16	17	IO_L19N_17
L15	17	IO_L2P_17	F15	17	IO_L19P_17
L13	17	IO_L3N_17	E15	17	IO_L20N_17
L12	17	IO_L3P_17	E14	17	IO_L20P_17
J13	17	IO_L4N_17	C14	17	IO_L21N_17
K13	17	IO_L4P_17	D14	17	IO_L21P_17
J14	17	IO_L5N_17	A13	17	IO_L22N_17
K14	17	IO_L5P_17	B13	17	IO_L22P_17
K11	17	IO_L6N_17	B15	17	IO_L23N_17
L11	17	IO_L6P_17	C15	17	IO_L23P_17
G15	17	IO_L7N_17	A15	17	IO_L24N_17
H15	17	IO_L7P_17	B14	17	IO_L24P_17
J12	17	IO_L8N_17	F16	17	IO_L25_17
J11	17	IO_L8P_17			
H16	17	IO_L9N_17, GPLL1_17_OUTN			
J16	17	IO_L9P_17, GPLL1_17_OUTP			
H12	17	IO_L10N_17			
H11	17	IO_L10P_17			
G14	17	IO_L11N_17, GCLK10C3_17			
H14	17	IO_L11P_17, GCLK10T3_17			
F13	17	IO_L12N_17, GCLK10C2_17			
G13	17	IO_L12P_17, GCLK10T2_17			
D13	17	IO_L13N_17, GCLK10C1_17			
D12	17	IO_L13P_17, GCLK10T1_17			
E13	17	IO_L14N_17, GCLK10C0_17			
F12	17	IO_L14P_17, GCLK10T0_17			
B12	17	IO_L15N_17			
C12	17	IO_L15P_17			
E11	17	IO_L16N_17, GPLL0_17_OUTN			
F11	17	IO_L16P_17, GPLL0_17_OUTP			
A12	17	IO_L17N_17			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
Y14	31	IO_R0_31	AD18	31	IO_R13P_31, GCLKIOT1_31, T2
AK15	31	IO_R1N_31, T0	AD16	31	IO_R14N_31, GCLKIOC0_31, T2
AK16	31	IO_R1P_31, T0	AD17	31	IO_R14P_31, GCLKIOT0_31, T2
AH15	31	IO_R2N_31, T0	Y18	31	IO_R15N_31, T2_DQS_N_31
AG15	31	IO_R2P_31, T0	Y19	31	IO_R15P_31, T2_DQS_P_31
AJ16	31	IO_R3N_31, T0_DQS_N_31	AB18	31	IO_R16N_31, GPLLO_31_OUT N, T2
AH16	31	IO_R3P_31, T0_DQS_P_31	AA18	31	IO_R16P_31, GPLLO_31_OUT P, T2
AG14	31	IO_R4N_31, T0	AC19	31	IO_R17N_31, T2
AF15	31	IO_R4P_31, T0	AB19	31	IO_R17P_31, T2
AJ17	31	IO_R5N_31, T0	AC17	31	IO_R18N_31, T2
AH17	31	IO_R5P_31, T0	AB17	31	IO_R18P_31, T2
AF16	31	IO_R6N_31, T0_VREF_31	AE14	31	IO_R19N_31, T3_VREF_31
AE16	31	IO_R6P_31, T0	AE15	31	IO_R19P_31, T3
AK19	31	IO_R7N_31, T1	AB15	31	IO_R20N_31, T3
AJ19	31	IO_R7P_31, T1	AA15	31	IO_R20P_31, T3
AH19	31	IO_R8N_31, T1	AC15	31	IO_R21N_31, T3_DQS_N_31
AG19	31	IO_R8P_31, T1	AC16	31	IO_R21P_31, T3_DQS_P_31
AK18	31	IO_R9N_31, GPLL1_31_OUTN, T1_DQS_N_31	AD14	31	IO_R22N_31, T3
AJ18	31	IO_R9P_31, GPLL1_31_OUTP, T1_DQS_P_31	AC14	31	IO_R22P_31, T3
AE19	31	IO_R10N_31, T1	AA16	31	IO_R23N_31, T3
AD19	31	IO_R10P_31, T1	AA17	31	IO_R23P_31, T3
AG18	31	IO_R11N_31, GCLKIOC3_31, T1	Y15	31	IO_R24N_31, T3
AF18	31	IO_R11P_31, GCLKIOT3_31, T1	Y16	31	IO_R24P_31, T3
AG17	31	IO_R12N_31, GCLKIOC2_31, T1	AB14	31	IO_R25_31, VRP_31
AF17	31	IO_R12P_31, GCLKIOT2_31, T1			
AE18	31	IO_R13N_31, GCLKIOC1_31, T2			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
Y13	32	I0_R0_32	AJ9	32	I0_R15P_32, T2_DQS_P_32
AB12	32	I0_R1N_32, T0	AH9	32	I0_R16N_32, GPLL0_32_OUTN, T2
AA12	32	I0_R1P_32, T0	AG9	32	I0_R16P_32, GPLL0_32_OUTP, T2
AB8	32	I0_R2N_32, T0	AK10	32	I0_R17N_32, T2
AA8	32	I0_R2P_32, T0	AK11	32	I0_R17P_32, T2
AC9	32	I0_R3N_32, T0_DQS_N_32	AJ11	32	I0_R18N_32, T2
AB9	32	I0_R3P_32, T0_DQS_P_32	AH11	32	I0_R18P_32, T2
Y10	32	I0_R4N_32, T0	AF13	32	I0_R19N_32, T3_VREF_32
Y11	32	I0_R4P_32, T0	AE13	32	I0_R19P_32, T3
AA10	32	I0_R5N_32, T0	AK13	32	I0_R20N_32, T3
AA11	32	I0_R5P_32, T0	AK14	32	I0_R20P_32, T3
AB13	32	I0_R6N_32, T0_VREF_32	AJ14	32	I0_R21N_32, T3_DQS_N_32
AA13	32	I0_R6P_32, T0	AH14	32	I0_R21P_32, T3_DQS_P_32
AC10	32	I0_R7N_32, T1	AJ12	32	I0_R22N_32, T3
AB10	32	I0_R7P_32, T1	AJ13	32	I0_R22P_32, T3
AE8	32	I0_R8N_32, T1	AG12	32	I0_R23N_32, T3
AD8	32	I0_R8P_32, T1	AF12	32	I0_R23P_32, T3
AC11	32	I0_R9N_32, GPLL1_32_OUTN, T1_DQS_N_32	AH12	32	I0_R24N_32, T3
AC12	32	I0_R9P_32, GPLL1_32_OUTP, T1_DQS_P_32	AG13	32	I0_R24P_32, T3
AE9	32	I0_R10N_32, T1	AD13	32	I0_R25_32, VRP_32
AD9	32	I0_R10P_32, T1			
AF11	32	I0_R11N_32, GCLKI0C3_32, T1			
AE11	32	I0_R11P_32, GCLKI0T3_32, T1			
AD11	32	I0_R12N_32, GCLKI0C2_32, T1			
AD12	32	I0_R12P_32, GCLKI0T2_32, T1			
AH10	32	I0_R13N_32, GCLKI0C1_32, T2			
AG10	32	I0_R13P_32, GCLKI0T1_32, T2			
AF10	32	I0_R14N_32, GCLKI0C0_32, T2			
AE10	32	I0_R14P_32, GCLKI0T0_32, T2			
AK9	32	I0_R15N_32, T2_DQS_N_32			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
AC6	33	I0_R0_33	AH4	33	I0_R13P_33, GCLKIOT1_33, T2
AD3	33	I0_R1N_33, T0	AH5	33	I0_R14N_33, GCLKIOC0_33, T2
AD4	33	I0_R1P_33, GPFUOUTEN, T0	AH6	33	I0_R14P_33, GCLKIOT0_33, T2
AC1	33	I0_R2N_33, T0	AH1	33	I0_R15N_33, T2_DQS_N_33
AC2	33	I0_R2P_33, T0	AG2	33	I0_R15P_33, T2_DQS_P_33
AD1	33	I0_R3N_33, T0_DQS_N_33	AJ2	33	I0_R16N_33, GPLLO_33_OUTN, T2
AD2	33	I0_R3P_33, T0_DQS_P_33	AH2	33	I0_R16P_33, GPLLO_33_OUTP, T2
AC4	33	I0_R4N_33, T0	AK1	33	I0_R17N_33, T2
AC5	33	I0_R4P_33, T0	AJ1	33	I0_R17P_33, T2
AE6	33	I0_R5N_33, T0	AK3	33	I0_R18N_33, T2
AD6	33	I0_R5P_33, T0	AJ3	33	I0_R18P_33, T2
AD7	33	I0_R6N_33, T0_VREF_33	AG8	33	I0_R19N_33, T3_VREF_33
AC7	33	I0_R6P_33, T0	AF8	33	I0_R19P_33, T3
AF2	33	I0_R7N_33, T1	AG7	33	I0_R20N_33, T3
AF3	33	I0_R7P_33, T1	AF7	33	I0_R20P_33, T3
AF1	33	I0_R8N_33, T1	AJ7	33	I0_R21N_33, T3_DQS_N_33
AE1	33	I0_R8P_33, GPLL1_33_DIGOUT, T1	AH7	33	I0_R21P_33, T3_DQS_P_33
AG3	33	I0_R9N_33, GPLL1_33_OUTN, T1_DQS_N_33	AK6	33	I0_R22N_33, T3
AG4	33	I0_R9P_33, GPLL1_33_OUTP, T1_DQS_P_33	AJ6	33	I0_R22P_33, T3
AE3	33	I0_R10N_33, T1	AK8	33	I0_R23N_33, T3
AE4	33	I0_R10P_33, T1	AJ8	33	I0_R23P_33, T3
AF5	33	I0_R11N_33, GCLKIOC3_33, T1	AK4	33	I0_R24N_33, T3
AE5	33	I0_R11P_33, GCLKIOT3_33, T1	AK5	33	I0_R24P_33, T3
AG5	33	I0_R12N_33, GCLKIOC2_33, T1	AB7	33	I0_R25_33, VRP_33
AF6	33	I0_R12P_33, GCLKIOT2_33, T1			
AJ4	33	I0_R13N_33, GCLKIOC1_33, T2			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
AA3	80	RXMO_80	Y1	80	TXMO_80
W3	81	RXMO_81	U3	81	TXMO_81
T5	82	RXMO_82	P1	82	TXMO_82
P5	83	RXMO_83	M1	83	TXMO_83
K5	84	RXMO_84	K1	84	TXMO_84
G3	85	RXMO_85	H1	85	TXMO_85
E3	86	RXMO_86	D1	86	TXMO_86
B5	87	RXMO_87	B1	87	TXMO_87
Y5	80	RXM1_80	V1	80	TXM1_80
V5	81	RXM1_81	T1	81	TXM1_81
R3	82	RXM1_82	N3	82	TXM1_82
M5	83	RXM1_83	L3	83	TXM1_83
H5	84	RXM1_84	J3	84	TXM1_84
F5	85	RXM1_85	F1	85	TXM1_85
D5	86	RXM1_86	C3	86	TXM1_86
A7	87	RXM1_87	A3	87	TXM1_87
AA4	80	RXP0_80	Y2	80	TXP0_80
W4	81	RXP0_81	U4	81	TXP0_81
T6	82	RXP0_82	P2	82	TXP0_82
P6	83	RXP0_83	M2	83	TXP0_83
K6	84	RXP0_84	K2	84	TXP0_84
G4	85	RXP0_85	H2	85	TXP0_85
E4	86	RXP0_86	D2	86	TXP0_86
B6	87	RXP0_87	B2	87	TXP0_87
Y6	80	RXP1_80	V2	80	TXP1_80
V6	81	RXP1_81	T2	81	TXP1_81
R4	82	RXP1_82	N4	82	TXP1_82
M6	83	RXP1_83	L4	83	TXP1_83
H6	84	RXP1_84	J4	84	TXP1_84
F6	85	RXP1_85	F2	85	TXP1_85
D6	86	RXP1_86	C4	86	TXP1_86
A8	87	RXP1_87	A4	87	TXP1_87



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
T7	80	PHYVCCA_80	J7	85	REFCLKM_85
V7	80	PHYVCCA_80	C7	86	REFCLKM_86
M7	82	PHYVCCA_82	E7	87	REFCLKM_87
P7	82	PHYVCCA_82	R8	80	REFCLKP_80
H7	84	PHYVCCA_84	U8	81	REFCLKP_81
K7	84	PHYVCCA_84	L8	82	REFCLKP_82
B7	86	PHYVCCA_86	N8	83	REFCLKP_83
D7	86	PHYVCCA_86	G8	84	REFCLKP_84
F7	86	PHYVCCA_86	J8	85	REFCLKP_85
T3	80	PHYVCCT_80	C8	86	REFCLKP_86
U5	80	PHYVCCT_80	E8	87	REFCLKP_87
V3	80	PHYVCCT_80	V9	80	RXRECCLKM_80
W5	80	PHYVCCT_80	V10	80	RXRECCLKP_80
L5	82	PHYVCCT_82	P9	84	RXRECCLKM_84
M3	82	PHYVCCT_82	P10	84	RXRECCLKP_84
N5	82	PHYVCCT_82	W8	-	RESREF_1
P3	82	PHYVCCT_82	K9	-	RESREF_2
R5	82	PHYVCCT_82			
F3	84	PHYVCCT_84			
G5	84	PHYVCCT_84			
H3	84	PHYVCCT_84			
J5	84	PHYVCCT_84			
K3	84	PHYVCCT_84			
B3	86	PHYVCCT_86			
C5	86	PHYVCCT_86			
D3	86	PHYVCCT_86			
E5	86	PHYVCCT_86			
R7	80	REFCLKM_80			
U7	81	REFCLKM_81			
L7	82	REFCLKM_82			
N7	83	REFCLKM_83			
G7	84	REFCLKM_84			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
B10	0	CCLK_0	T11	-	VCCINT
M10	0	DONE_0	T17	-	VCCINT
A10	0	INITN_0	U10	-	VCCINT
K10	0	PROGRAMN_0	U12	-	VCCINT
AB5	0	M0_0	U16	-	VCCINT
AB2	0	M1_0	U18	-	VCCINT
AB1	0	M2_0	V17	-	VCCINT
E10	0	TCK_0	W16	-	VCCINT
H10	0	TDI_0	W18	-	VCCINT
G10	0	TDO_0			
F10	0	TMS_0			
L10	0	TRSTN_0			
P13	-	VCCAUX			
T13	-	VCCAUX			
V13	-	VCCAUX			
V15	-	VCCAUX			
W14	-	VCCAUX			
M11	-	VCCINT			
M13	-	VCCINT			
M15	-	VCCINT			
M17	-	VCCINT			
N10	-	VCCINT			
N12	-	VCCINT			
N14	-	VCCINT			
N16	-	VCCINT			
N18	-	VCCINT			
P11	-	VCCINT			
P17	-	VCCINT			
R10	-	VCCINT			
R12	-	VCCINT			
R16	-	VCCINT			
R18	-	VCCINT			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
C10	-	NC	AC28	-	GND
P14	-	NC	AC8	-	GND
P15	-	NC	AD15	-	GND
R14	-	NC	AD25	-	GND
R15	-	NC	AD5	-	GND
T14	-	NC	AE12	-	GND
T15	-	NC	AE2	-	GND
U14	-	NC	AE22	-	GND
U15	-	NC	AF19	-	GND
V11	-	NC	AF29	-	GND
W7	-	NC	AF9	-	GND
W10	-	NC	AG16	-	GND
W12	-	NC	AG26	-	GND
A1	-	GND	AG6	-	GND
A14	-	GND	AH13	-	GND
A2	-	GND	AH23	-	GND
A24	-	GND	AH3	-	GND
A5	-	GND	AJ10	-	GND
A6	-	GND	AJ20	-	GND
A9	-	GND	AJ30	-	GND
AA1	-	GND	AK17	-	GND
AA14	-	GND	AK27	-	GND
AA2	-	GND	AK7	-	GND
AA24	-	GND	B11	-	GND
AA5	-	GND	B21	-	GND
AA6	-	GND	B4	-	GND
AA7	-	GND	B8	-	GND
AB11	-	GND	B9	-	GND
AB21	-	GND	C1	-	GND
AB3	-	GND	C18	-	GND
AB4	-	GND	C2	-	GND
AC18	-	GND	C28	-	GND



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
C6	-	GND	J20	-	GND
C9	-	GND	J30	-	GND
D15	-	GND	J6	-	GND
D25	-	GND	J9	-	GND
D4	-	GND	K17	-	GND
D8	-	GND	K27	-	GND
D9	-	GND	K4	-	GND
E1	-	GND	K8	-	GND
E12	-	GND	L1	-	GND
E2	-	GND	L14	-	GND
E22	-	GND	L2	-	GND
E6	-	GND	L24	-	GND
E9	-	GND	L6	-	GND
F19	-	GND	L9	-	GND
F29	-	GND	M12	-	GND
F4	-	GND	M14	-	GND
F8	-	GND	M16	-	GND
F9	-	GND	M18	-	GND
G1	-	GND	M21	-	GND
G16	-	GND	M4	-	GND
G2	-	GND	M8	-	GND
G26	-	GND	M9	-	GND
G6	-	GND	N1	-	GND
G9	-	GND	N11	-	GND
H13	-	GND	N13	-	GND
H23	-	GND	N15	-	GND
H4	-	GND	N17	-	GND
H8	-	GND	N2	-	GND
H9	-	GND	N28	-	GND
J1	-	GND	N6	-	GND
J10	-	GND	N9	-	GND
J2	-	GND	P12	-	GND



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
P16	-	GND	V18	-	GND
P18	-	GND	V23	-	GND
P25	-	GND	V4	-	GND
P4	-	GND	V8	-	GND
P8	-	GND	W1	-	GND
R1	-	GND	W11	-	GND
R11	-	GND	W13	-	GND
R13	-	GND	W15	-	GND
R17	-	GND	W17	-	GND
R2	-	GND	W2	-	GND
R22	-	GND	W20	-	GND
R6	-	GND	W30	-	GND
R9	-	GND	W6	-	GND
T10	-	GND	W9	-	GND
T12	-	GND	Y17	-	GND
T16	-	GND	Y27	-	GND
T18	-	GND	Y3	-	GND
T19	-	GND	Y4	-	GND
T29	-	GND	Y7	-	GND
T4	-	GND	Y8	-	GND
T8	-	GND	Y9	-	GND
U1	-	GND			
U11	-	GND			
U13	-	GND			
U17	-	GND			
U2	-	GND			
U26	-	GND			
U6	-	GND			
U9	-	GND			
V12	-	GND			
V14	-	GND			
V16	-	GND			



SFG900 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
T9	0	VCCIO_0	A19	16	VCCIO_16
AB6	0	VCCIO_0	B16	16	VCCIO_16
Y22	11	VCCIO_11	D20	16	VCCIO_16
AC23	11	VCCIO_11	E17	16	VCCIO_16
AD20	11	VCCIO_11	G21	16	VCCIO_16
AF24	11	VCCIO_11	H18	16	VCCIO_16
AG21	11	VCCIO_11	L19	16	VCCIO_16
AK22	11	VCCIO_11	C13	17	VCCIO_17
AA29	12	VCCIO_12	D10	17	VCCIO_17
AB26	12	VCCIO_12	F14	17	VCCIO_17
AD30	12	VCCIO_12	G11	17	VCCIO_17
AE27	12	VCCIO_12	J15	17	VCCIO_17
AH28	12	VCCIO_12	K12	17	VCCIO_17
AJ25	12	VCCIO_12	AA19	31	VCCIO_31
P30	13	VCCIO_13	AB16	31	VCCIO_31
R27	13	VCCIO_13	AE17	31	VCCIO_31
T24	13	VCCIO_13	AF14	31	VCCIO_31
U21	13	VCCIO_13	AH18	31	VCCIO_31
V28	13	VCCIO_13	AJ15	31	VCCIO_31
W25	13	VCCIO_13	Y12	32	VCCIO_32
J25	14	VCCIO_14	AA9	32	VCCIO_32
K22	14	VCCIO_14	AC13	32	VCCIO_32
L29	14	VCCIO_14	AD10	32	VCCIO_32
M26	14	VCCIO_14	AG11	32	VCCIO_32
N23	14	VCCIO_14	AK12	32	VCCIO_32
P20	14	VCCIO_14	AC3	33	VCCIO_33
A29	15	VCCIO_15	AE7	33	VCCIO_33
B26	15	VCCIO_15	AF4	33	VCCIO_33
C23	15	VCCIO_15	AG1	33	VCCIO_33
D30	15	VCCIO_15	AH8	33	VCCIO_33
E27	15	VCCIO_15	AJ5	33	VCCIO_33
F24	15	VCCIO_15	AK2	33	VCCIO_33
H28	15	VCCIO_15			



4.4 SFG676 引脚信息 (PH1A400)

SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
U21	11	IO_BLO_11	AB22	11	IO_L17P_11
V22	11	IO_L1N_11	AC21	11	IO_L18N_11
U22	11	IO_L1P_11	AB21	11	IO_L18P_11
U25	11	IO_L2N_11	AE21	11	IO_L19N_11
U24	11	IO_L2P_11	AD21	11	IO_L19P_11
V24	11	IO_L3N_11	AF25	11	IO_L20N_11
V23	11	IO_L3P_11	AF24	11	IO_L20P_11
V26	11	IO_L4N_11	AE26	11	IO_L21N_11
U26	11	IO_L4P_11	AD26	11	IO_L21P_11
W26	11	IO_L5N_11	AF23	11	IO_L22N_11
W25	11	IO_L5P_11	AE23	11	IO_L22P_11
W21	11	IO_L6N_11	AE25	11	IO_L23N_11
V21	11	IO_L6P_11	AD25	11	IO_L23P_11
AB25	11	IO_L7N_11	AF22	11	IO_L24N_11
AA25	11	IO_L7P_11	AE22	11	IO_L24P_11
W24	11	IO_L8N_11	Y20	11	IO_BL25_11
W23	11	IO_L8P_11			
AC26	11	IO_L9N_11, GPLL1_11_OUTN			
AB26	11	IO_L9P_11, GPLL1_11_OUTP			
Y26	11	IO_L10N_11			
Y25	11	IO_L10P_11			
AB24	11	IO_L11N_11, GCLKIOC3_11			
AA23	11	IO_L11P_11, GCLKIOT3_11			
AA24	11	IO_L12N_11, GCLKIOC2_11			
Y23	11	IO_L12P_11, GCLKIOT2_11			
AA22	11	IO_L13N_11, GCLKIOC1_11			
Y22	11	IO_L13P_11, GCLKIOT1_11			
AC24	11	IO_L14N_11, GCLKIOC0_11			
AC23	11	IO_L14P_11, GCLKIOT0_11			
Y21	11	IO_L15N_11			
W20	11	IO_L15P_11			
AD24	11	IO_L16N_11, GPLLO_11_OUTN			
AD23	11	IO_L16P_11, GPLLO_11_OUTP			
AC22	11	IO_L17N_11			



SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
N16	12	IO_BLO_12	T22	12	IO_L17P_12
K26	12	IO_L1N_12	U20	12	IO_L18N_12
K25	12	IO_L1P_12	U19	12	IO_L18P_12
P26	12	IO_L2N_12	T19	12	IO_L19N_12
R26	12	IO_L2P_12	T18	12	IO_L19P_12
L25	12	IO_L3N_12	N17	12	IO_L20N_12
M25	12	IO_L3P_12	P16	12	IO_L20P_12
N24	12	IO_L4N_12	R17	12	IO_L21N_12
P24	12	IO_L4P_12	R16	12	IO_L21P_12
M26	12	IO_L5N_12	M19	12	IO_L22N_12
N26	12	IO_L5P_12	N18	12	IO_L22P_12
P25	12	IO_L6N_12	T17	12	IO_L23N_12
R25	12	IO_L6P_12	U17	12	IO_L23P_12
M20	12	IO_L7N_12	P18	12	IO_L24N_12
N19	12	IO_L7P_12	R18	12	IO_L24P_12
L24	12	IO_L8N_12	U16	12	IO_BL25_12
M24	12	IO_L8P_12			
P20	12	IO_L9N_12, GPLL1_12_OUTN			
P19	12	IO_L9P_12, GPLL1_12_OUTP			
M22	12	IO_L10N_12			
M21	12	IO_L10P_12			
N23	12	IO_L11N_12, GCLKIOC3_12			
P23	12	IO_L11P_12, GCLKIOT3_12			
N22	12	IO_L12N_12, GCLKIOC2_12			
N21	12	IO_L12P_12, GCLKIOT2_12			
P21	12	IO_L13N_12, GCLKIOC1_12			
R21	12	IO_L13P_12, GCLKIOT1_12			
R23	12	IO_L14N_12, GCLKIOC0_12			
R22	12	IO_L14P_12, GCLKIOT0_12			
T25	12	IO_L15N_12			
T24	12	IO_L15P_12			
R20	12	IO_L16N_12, GPLLO_12_OUTN			
T20	12	IO_L16P_12, GPLLO_12_OUTP			
T23	12	IO_L17N_12			



SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
K21	13	IO_BLO_13	F25	13	IO_L17P_13, D30
A25	13	IO_L1N_13, D1, DIN, MISO	H26	13	IO_L18N_13, D27
B24	13	IO_L1P_13, D0, MOSI	J26	13	IO_L18P_13, D28
A22	13	IO_L2N_13, D3, HOLDN	G21	13	IO_L19N_13, D25
B22	13	IO_L2P_13, D2, WPN	H21	13	IO_L19P_13, D26
B26	13	IO_L3N_13, USRCLK	H24	13	IO_L20N_13, D23
B25	13	IO_L3P_13, HSWAPEN	H23	13	IO_L20P_13, D24
A24	13	IO_L4N_13, D5	H22	13	IO_L21N_13, D22
A23	13	IO_L4P_13, D4	J21	13	IO_L21P_13
C26	13	IO_L5N_13, D7	J25	13	IO_L22N_13, D20
D26	13	IO_L5P_13, D6	J24	13	IO_L22P_13, D21
C24	13	IO_L6N_13, D8	K22	13	IO_L23N_13, D18
C23	13	IO_L6P_13, SPICSN, BUSY	L22	13	IO_L23P_13, D19
C22	13	IO_L7N_13, D10	J23	13	IO_L24N_13, D16
D21	13	IO_L7P_13, D9	K23	13	IO_L24P_13, D17
A20	13	IO_L8N_13, D12	L23	13	IO_BL25_13
B20	13	IO_L8P_13, D11			
E22	13	IO_L9N_13, D13			
E21	13	IO_L9P_13			
B21	13	IO_L10N_13, D15			
C21	13	IO_L10P_13, D14			
D24	13	IO_L11N_13, GCLKIOC3_13			
D23	13	IO_L11P_13, GCLKIOT3_13			
E23	13	IO_L12N_13, GCLKIOC2_13			
F22	13	IO_L12P_13, GCLKIOT2_13			
F23	13	IO_L13N_13, GCLKIOC1_13			
G22	13	IO_L13P_13, GCLKIOT1_13			
F24	13	IO_L14N_13, GCLKIOC0_13			
G24	13	IO_L14P_13, GCLKIOT0_13			
D25	13	IO_L15N_13, CSON, DOUT			
E25	13	IO_L15P_13, RDWRN			
G26	13	IO_L16N_13, D31			
G25	13	IO_L16P_13, CSN			
E26	13	IO_L17N_13, D29			



SFG676 引脚信息 (PH1A400)

编号	BANK	引脚说明	编号	BANK	引脚说明
K15	14	IO_BLO_14	F19	14	IO_L17P_14
B16	14	IO_L1N_14	G20	14	IO_L18N_14
C16	14	IO_L1P_14	H19	14	IO_L18P_14
A19	14	IO_L2N_14	J20	14	IO_L19N_14
A18	14	IO_L2P_14	K20	14	IO_L19P_14
A17	14	IO_L3N_14	J19	14	IO_L20N_14
B17	14	IO_L3P_14	J18	14	IO_L20P_14
B19	14	IO_L4N_14	L20	14	IO_L21N_14
C19	14	IO_L4P_14	L19	14	IO_L21P_14
C18	14	IO_L5N_14	K17	14	IO_L22N_14
C17	14	IO_L5P_14	K16	14	IO_L22P_14
D16	14	IO_L6N_14	L18	14	IO_L23N_14
D15	14	IO_L6P_14	M17	14	IO_L23P_14
G16	14	IO_L7N_14	K18	14	IO_L24N_14
H16	14	IO_L7P_14	L17	14	IO_L24P_14
F15	14	IO_L8N_14	M16	14	IO_BL25_14
G15	14	IO_L8P_14			
J16	14	IO_L9N_14, GPLL1_14_OUTN			
J15	14	IO_L9P_14, GPLL1_14_OUTP			
E16	14	IO_L10N_14			
E15	14	IO_L10P_14			
F18	14	IO_L11N_14, GCLKIOC3_14			
G17	14	IO_L11P_14, GCLKIOT3_14			
E17	14	IO_L12N_14, GCLKIOC2_14			
F17	14	IO_L12P_14, GCLKIOT2_14			
D18	14	IO_L13N_14, GCLKIOC1_14			
E18	14	IO_L13P_14, GCLKIOT1_14			
H18	14	IO_L14N_14, GCLKIOC0_14			
H17	14	IO_L14P_14, GCLKIOT0_14			
D20	14	IO_L15N_14			
D19	14	IO_L15P_14			
F20	14	IO_L16N_14, GPLLO_14_OUTN			
G19	14	IO_L16P_14, GPLLO_14_OUTP			
E20	14	IO_L17N_14			



SFG676 引脚信息 (PH1A400)

编号	BANK	引脚说明	编号	BANK	引脚说明
J8	15	IO_BLO_15	D14	15	IO_L17P_15
H8	15	IO_L1N_15	E12	15	IO_L18N_15
H9	15	IO_L1P_15	E13	15	IO_L18P_15
G9	15	IO_L2N_15	C13	15	IO_L19N_15
G10	15	IO_L2P_15	C14	15	IO_L19P_15
H13	15	IO_L3N_15	B11	15	IO_L20N_15
J13	15	IO_L3P_15	B12	15	IO_L20P_15
J10	15	IO_L4N_15	A14	15	IO_L21N_15
J11	15	IO_L4P_15	B14	15	IO_L21P_15
G14	15	IO_L5N_15	A10	15	IO_L22N_15
H14	15	IO_L5P_15	B10	15	IO_L22P_15
H11	15	IO_L6N_15	A15	15	IO_L23N_15
H12	15	IO_L6P_15	B15	15	IO_L23P_15
F8	15	IO_L7N_15	A12	15	IO_L24N_15
F9	15	IO_L7P_15	A13	15	IO_L24P_15
D8	15	IO_L8N_15	J14	15	IO_BL25_15
D9	15	IO_L8P_15			
A8	15	IO_L9N_15, GPLL1_15_OUTN			
A9	15	IO_L9P_15, GPLL1_15_OUTP			
B9	15	IO_L10N_15			
C9	15	IO_L10P_15			
F10	15	IO_L11N_15, GCLKIOC3_15			
G11	15	IO_L11P_15, GCLKIOT3_15			
D10	15	IO_L12N_15, GCLKIOC2_15			
E10	15	IO_L12P_15, GCLKIOT2_15			
C11	15	IO_L13N_15, GCLKIOC1_15			
C12	15	IO_L13P_15, GCLKIOT1_15			
D11	15	IO_L14N_15, GCLKIOC0_15			
E11	15	IO_L14P_15, GCLKIOT0_15			
F13	15	IO_L15N_15			
F14	15	IO_L15P_15			
F12	15	IO_L16N_15, GPLLO_15_OUTN			
G12	15	IO_L16P_15, GPLLO_15_OUTP			
D13	15	IO_L17N_15			



SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
V13	31	IO_BRO_31	AC19	31	IO_R17P_31, T2
AF17	31	IO_R1N_31, T0	AB20	31	IO_R18N_31, T2
AE17	31	IO_R1P_31, T0	AB19	31	IO_R18P_31, T2
AF15	31	IO_R2N_31, T0	Y18	31	IO_R19N_31, T3_VREF
AF14	31	IO_R2P_31, T0	Y17	31	IO_R19P_31, T3
AF18	31	IO_R3N_31, T0_DQS_N	V17	31	IO_R20N_31, T3
AE18	31	IO_R3P_31, T0_DQS_P	V16	31	IO_R20P_31, T3
AE15	31	IO_R4N_31, T0	W19	31	IO_R21N_31, T3_DQS_N
AD15	31	IO_R4P_31, T0	W18	31	IO_R21P_31, T3_DQS_P
AF20	31	IO_R5N_31, T0	W16	31	IO_R22N_31, T3
AF19	31	IO_R5P_31, T0	W15	31	IO_R22P_31, T3
AE16	31	IO_R6N_31, T0_VREF	V19	31	IO_R23N_31, T3
AD16	31	IO_R6P_31, T0	V18	31	IO_R23P_31, T3
AA15	31	IO_R7N_31, T1	W14	31	IO_R24N_31, T3
AA14	31	IO_R7P_31, T1	V14	31	IO_R24P_31, T3
AD14	31	IO_R8N_31, T1	W13	31	IO_BR25_31, VRP
AC14	31	IO_R8P_31, T1			
Y16	31	IO_R9N_31, GPLL1_31_OUTN, T1_DQS_N			
Y15	31	IO_R9P_31, GPLL1_31_OUTP, T1_DQS_P			
AB15	31	IO_R10N_31, T1			
AB14	31	IO_R10P_31, T1			
AA18	31	IO_R11N_31, GCLKIOC3_31, T1			
AA17	31	IO_R11P_31, GCLKIOT3_31, T1			
AC16	31	IO_R12N_31, GCLKIOC2_31, T1			
AB16	31	IO_R12P_31, GCLKIOT2_31, T1			
AD18	31	IO_R13N_31, GCLKIOC1_31, T2			
AC18	31	IO_R13P_31, GCLKIOT1_31, T2			
AC17	31	IO_R14N_31, GCLKIOC0_31, T2			
AB17	31	IO_R14P_31, GCLKIOT0_31, T2			
AE20	31	IO_R15N_31, T2_DQS_N			
AD20	31	IO_R15P_31, T2_DQS_P			
AA20	31	IO_R16N_31, GPLL0_31_OUTN, T2			
AA19	31	IO_R16P_31, GPLL0_31_OUTP, T2			
AD19	31	IO_R17N_31, T2			



SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
U9	32	I0_BRO_32	AC13	32	I0_R17P_32, T2
W11	32	I0_R1N_32, T0	Y12	32	I0_R18N_32, T2
V11	32	I0_R1P_32, T0	Y13	32	I0_R18P_32, T2
V7	32	I0_R2N_32, T0	AE11	32	I0_R19N_32, T3_VREF
V8	32	I0_R2P_32, T0	AD11	32	I0_R19P_32, T3
W9	32	I0_R3N_32, T0_DQS_N	AE10	32	I0_R20N_32, T3
W10	32	I0_R3P_32, T0_DQS_P	AD10	32	I0_R20P_32, T3
Y7	32	I0_R4N_32, T0	AF12	32	I0_R21N_32, T3_DQS_N
Y8	32	I0_R4P_32, T0	AE12	32	I0_R21P_32, T3_DQS_P
Y10	32	I0_R5N_32, T0	AF8	32	I0_R22N_32, T3
Y11	32	I0_R5P_32, T0	AE8	32	I0_R22P_32, T3
W8	32	I0_R6N_32, T0_VREF	AF13	32	I0_R23N_32, T3
V9	32	I0_R6P_32, T0	AE13	32	I0_R23P_32, T3
AF7	32	I0_R7N_32, T1	AF9	32	I0_R24N_32, T3
AE7	32	I0_R7P_32, T1	AF10	32	I0_R24P_32, T3
AA7	32	I0_R8N_32, T1	V12	32	I0_BR25_32, VRP
AA8	32	I0_R8P_32, T1			
AD8	32	I0_R9N_32, GPLL1_32_OUTN, T1_DQS_N			
AC8	32	I0_R9P_32, GPLL1_32_OUTP, T1_DQS_P			
AC7	32	I0_R10N_32, T1			
AB7	32	I0_R10P_32, T1			
AB9	32	I0_R11N_32, GCLKI0C3_32, T1			
AA9	32	I0_R11P_32, GCLKI0T3_32, T1			
AD9	32	I0_R12N_32, GCLKI0C2_32, T1			
AC9	32	I0_R12P_32, GCLKI0T2_32, T1			
AC11	32	I0_R13N_32, GCLKI0C1_32, T2			
AB11	32	I0_R13P_32, GCLKI0T1_32, T2			
AB10	32	I0_R14N_32, GCLKI0C0_32, T2			
AA10	32	I0_R14P_32, GCLKI0T0_32, T2			
AC12	32	I0_R15N_32, T2_DQS_N			
AB12	32	I0_R15P_32, T2_DQS_P			
AA12	32	I0_R16N_32, GPLL0_32_OUTN, T2			
AA13	32	I0_R16P_32, GPLL0_32_OUTP, T2			
AD13	32	I0_R17N_32, T2			



SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
U4	33	I0_BRO_33	Y6	33	I0_R17P_33, T2
U5	33	I0_R1N_33, T0	AD5	33	I0_R18N_33, T2
U6	33	I0_R1P_33, GPFUOUTEN, T0	AD6	33	I0_R18P_33, T2
U1	33	I0_R2N_33, T0	AD3	33	I0_R19N_33, T3_VREF
U2	33	I0_R2P_33, T0	AD4	33	I0_R19P_33, T3
W5	33	I0_R3N_33, T0_DQS_N	AE1	33	I0_R20N_33, T3
W6	33	I0_R3P_33, T0_DQS_P	AD1	33	I0_R20P_33, T3
W3	33	I0_R4N_33, T0	AF4	33	I0_R21N_33, T3_DQS_N
V3	33	I0_R4P_33, T0	AF5	33	I0_R21P_33, T3_DQS_P
V6	33	I0_R5N_33, T0	AE2	33	I0_R22N_33, T3
U7	33	I0_R5P_33, T0	AE3	33	I0_R22P_33, T3
W4	33	I0_R6N_33, T0_VREF	AE5	33	I0_R23N_33, T3
V4	33	I0_R6P_33, T0	AE6	33	I0_R23P_33, T3
Y2	33	I0_R7N_33, T1	AF2	33	I0_R24N_33, T3
Y3	33	I0_R7P_33, T1	AF3	33	I0_R24P_33, T3
V1	33	I0_R8N_33, T1	T7	33	I0_BR25_33, VRP
V2	33	I0_R8P_33, GPLL1_33_DIGOUT, T1			
AC1	33	I0_R9N_33, GPLL1_33_OUTN, T1_DQS_N			
AB1	33	I0_R9P_33, GPLL1_33_OUTP, T1_DQS_P			
Y1	33	I0_R10N_33, T1			
W1	33	I0_R10P_33, T1			
AC2	33	I0_R11N_33, GCLKIOC3_33, T1			
AB2	33	I0_R11P_33, GCLKIOT3_33, T1			
AA2	33	I0_R12N_33, GCLKIOC2_33, T1			
AA3	33	I0_R12P_33, GCLKIOT2_33, T1			
AB4	33	I0_R13N_33, GCLKIOC1_33, T2			
AA4	33	I0_R13P_33, GCLKIOT1_33, T2			
AC3	33	I0_R14N_33, GCLKIOC0_33, T2			
AC4	33	I0_R14P_33, GCLKIOT0_33, T2			
AB5	33	I0_R15N_33, T2_DQS_N			
AA5	33	I0_R15P_33, T2_DQS_P			
AC6	33	I0_R16N_33, GPLL0_33_OUTN, T2			
AB6	33	I0_R16P_33, GPLL0_33_OUTP, T2			
Y5	33	I0_R17N_33, T2			



SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
R3	80	RXMO_80	H5	80	REFCLKM_80
L3	81	RXMO_81	K5	81	REFCLKM_81
G3	82	RXMO_82	D5	82	REFCLKM_82
C3	83	RXMO_83	F5	83	REFCLKM_83
N3	80	RXM1_80	H6	80	REFCLKP_80
J3	81	RXM1_81	K6	81	REFCLKP_81
E3	82	RXM1_82	D6	82	REFCLKP_82
B5	83	RXM1_83	F6	83	REFCLKP_83
R4	80	RXP0_80	M6	-	RESREF_1
L4	81	RXP0_81	C8	0	CCLK_0
G4	82	RXP0_82	J7	0	DONE_0
C4	83	RXP0_83	G7	0	INITN_0
N4	80	RXP1_80	L8	0	TCK_0
J4	81	RXP1_81	R6	0	TDI_0
E4	82	RXP1_82	R7	0	TDO_0
B6	83	RXP1_83	N8	0	TMS_0
P1	80	TXMO_80	P7	0	TRSTN_0
K1	81	TXMO_81	T5	0	MO_0
F1	82	TXMO_82	T2	0	M1_0
B1	83	TXMO_83	P5	0	M2_0
M1	80	TXM1_80	P6	0	PROGRAMN_0
H1	81	TXM1_81			
D1	82	TXM1_82			
A3	83	TXM1_83			
P2	80	TXP0_80			
K2	81	TXP0_81			
F2	82	TXP0_82			
B2	83	TXP0_83			
M2	80	TXP1_80			
H2	81	TXP1_81			
D2	82	TXP1_82			
A4	83	TXP1_83			



SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
L7	0	VCCIO_0	G13	15	VCCIO_15
T6	0	VCCIO_0	H10	15	VCCIO_15
AA21	11	VCCIO_11	AB18	31	VCCIO_31
AC25	11	VCCIO_11	AC15	31	VCCIO_31
AD22	11	VCCIO_11	AE19	31	VCCIO_31
AF26	11	VCCIO_11	AF16	31	VCCIO_31
U23	11	VCCIO_11	W17	31	VCCIO_31
V20	11	VCCIO_11	Y14	31	VCCIO_31
Y24	11	VCCIO_11	AA11	32	VCCIO_32
K24	12	VCCIO_12	AB8	32	VCCIO_32
N25	12	VCCIO_12	AD12	32	VCCIO_32
P22	12	VCCIO_12	AE9	32	VCCIO_32
R19	12	VCCIO_12	V10	32	VCCIO_32
T16	12	VCCIO_12	W7	32	VCCIO_32
T26	12	VCCIO_12	AA1	33	VCCIO_33
A21	13	VCCIO_13	AC5	33	VCCIO_33
C25	13	VCCIO_13	AD2	33	VCCIO_33
D22	13	VCCIO_13	AF6	33	VCCIO_33
F26	13	VCCIO_13	U3	33	VCCIO_33
G23	13	VCCIO_13	Y4	33	VCCIO_33
L21	13	VCCIO_13			
B18	14	VCCIO_14			
E19	14	VCCIO_14			
F16	14	VCCIO_14			
H20	14	VCCIO_14			
J17	14	VCCIO_14			
M18	14	VCCIO_14			
A11	15	VCCIO_15			
B8	15	VCCIO_15			
C15	15	VCCIO_15			
D12	15	VCCIO_15			
E9	15	VCCIO_15			



SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
J6	-	PHYVCCA_80	R13	-	VCCINT
L6	-	PHYVCCA_80	R15	-	VCCINT
N6	-	PHYVCCA_80	T12	-	VCCINT
C6	-	PHYVCCA_82	T14	-	VCCINT
E6	-	PHYVCCA_82	U13	-	VCCINT
G6	-	PHYVCCA_82	U15	-	VCCINT
G2	-	PHYVCCT_80	E8	-	NC
H3	-	PHYVCCT_80	M11	-	NC
L2	-	PHYVCCT_80	M12	-	NC
M3	-	PHYVCCT_80	N12	-	NC
B3	-	PHYVCCT_82	P11	-	NC
C2	-	PHYVCCT_82	N11	-	NC
D3	-	PHYVCCT_82	P12	-	NC
L11	-	VCCAUX	R11	-	NC
M10	-	VCCAUX	R12	-	NC
P10	-	VCCAUX	M5	-	NC
T10	-	VCCAUX	P8	-	NC
U11	-	VCCAUX	R9	-	NC
J9	-	VCCINT	T8	-	NC
K10	-	VCCINT	M7	-	GND
K12	-	VCCINT	N7	-	GND
K14	-	VCCINT	A1	-	GND
K8	-	VCCINT	A2	-	GND
L13	-	VCCINT	A5	-	GND
L15	-	VCCINT	A6	-	GND
L9	-	VCCINT	A7	-	GND
M14	-	VCCINT	A16	-	GND
M8	-	VCCINT	A26	-	GND
N13	-	VCCINT	B4	-	GND
N15	-	VCCINT	B7	-	GND
N9	-	VCCINT	B13	-	GND
P14	-	VCCINT	B23	-	GND



SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
C1	-	GND	K3	-	GND
C5	-	GND	K4	-	GND
C7	-	GND	K7	-	GND
C10	-	GND	K9	-	GND
C20	-	GND	K11	-	GND
D4	-	GND	K13	-	GND
D7	-	GND	K19	-	GND
D17	-	GND	L1	-	GND
E1	-	GND	L5	-	GND
E2	-	GND	L10	-	GND
E5	-	GND	L12	-	GND
E7	-	GND	L14	-	GND
E14	-	GND	L16	-	GND
E24	-	GND	L26	-	GND
F3	-	GND	M4	-	GND
F4	-	GND	M9	-	GND
F7	-	GND	M13	-	GND
F11	-	GND	M15	-	GND
F21	-	GND	M23	-	GND
G1	-	GND	N1	-	GND
G5	-	GND	N2	-	GND
G8	-	GND	N5	-	GND
G18	-	GND	N10	-	GND
H4	-	GND	N14	-	GND
H7	-	GND	N20	-	GND
H15	-	GND	P3	-	GND
H25	-	GND	P4	-	GND
J1	-	GND	P9	-	GND
J2	-	GND	P13	-	GND
J5	-	GND	P15	-	GND
J12	-	GND	P17	-	GND
J22	-	GND	R1	-	GND



SFG676 引脚信息 (PH1A400)					
编号	BANK	引脚说明	编号	BANK	引脚说明
R2	-	GND	AC10	-	GND
R5	-	GND	AC20	-	GND
R8	-	GND	AD7	-	GND
R10	-	GND	AD17	-	GND
R14	-	GND	AE4	-	GND
R24	-	GND	AE14	-	GND
T1	-	GND	AE24	-	GND
T3	-	GND	AF1	-	GND
T4	-	GND	AF11	-	GND
T11	-	GND	AF21	-	GND
T13	-	GND	T9	-	GND
T15	-	GND			
T21	-	GND			
U8	-	GND			
U10	-	GND			
U12	-	GND			
U14	-	GND			
U18	-	GND			
V5	-	GND			
V15	-	GND			
V25	-	GND			
W2	-	GND			
W12	-	GND			
W22	-	GND			
Y9	-	GND			
Y19	-	GND			
AA6	-	GND			
AA16	-	GND			
AA26	-	GND			
AB3	-	GND			
AB13	-	GND			
AB23	-	GND			



4.5 SFG676 引脚信息 (PH1A180)

SFG676 引脚信息 (PH1A180)					
编号	BANK	引脚说明	编号	BANK	引脚说明
AC21	11	IO_L0P_11	N19	12	IO_L7P_12
AD21	11	IO_L0N_11	M20	12	IO_L7N_12
AC23	11	IO_L1P_11, GPLLO_11_OUTP	M24	12	IO_L8P_12
AC22	11	IO_L1N_11, GPLLO_11_OUTN	L24	12	IO_L8N_12
AB21	11	IO_L2P_11	P19	12	IO_L9P_12, GPLL1_12_OUTP
AB22	11	IO_L2N_11	P20	12	IO_L9N_12, GPLL1_12_OUTN
Y23	11	IO_L3P_11, GCLKIOT0_11	M21	12	IO_L10P_12
AA23	11	IO_L3N_11, GCLKIOT0_11	M22	12	IO_L10N_12
Y21	11	IO_L4P_11, GCLKIOT1_11	P23	12	IO_L11P_12, GCLKIOT3_12
Y22	11	IO_L4N_11, GCLKIOT1_11	N23	12	IO_L11N_12, GCLKIOT3_12
V23	11	IO_L5P_11, GCLKIOT2_11	N21	12	IO_L12P_12, GCLKIOT2_12
W23	11	IO_L5N_11, GCLKIOT2_11	N22	12	IO_L12N_12, GCLKIOT2_12
W21	11	IO_L6P_11, GCLKIOT3_11	R21	12	IO_L13P_12, GCLKIOT1_12
V22	11	IO_L6N_11, GCLKIOT3_11	P21	12	IO_L13N_12, GCLKIOT1_12
AA22	11	IO_L7P_11, GPLL1_11_OUTP	R22	12	IO_L14P_12, GCLKIOT0_12
AB23	11	IO_L7N_11, GPLL1_11_OUTN	R23	12	IO_L14N_12, GCLKIOT0_12
W20	11	IO_L8P_11	T24	12	IO_L15P_12
Y20	11	IO_L8N_11	T25	12	IO_L15N_12
U22	11	IO_L9P_11	T20	12	IO_L16P_12, GPLLO_12_OUTP
V21	11	IO_L9N_11	R20	12	IO_L16N_12, GPLLO_12_OUTN
U24	11	IO_L10P_11	T22	12	IO_L17P_12
V24	11	IO_L10N_11	T23	12	IO_L17N_12
U26	11	IO_L11P_11	U19	12	IO_L18P_12
U25	11	IO_L11N_11	U20	12	IO_L18N_12
U21	11	IO_L12_11	T18	12	IO_L19P_12
N16	12	IO_L0_12	T19	12	IO_L19N_12
K25	12	IO_L1P_12	P16	12	IO_L20P_12
K26	12	IO_L1N_12	N17	12	IO_L20N_12
R26	12	IO_L2P_12	R16	12	IO_L21P_12
P26	12	IO_L2N_12	R17	12	IO_L21N_12
M25	12	IO_L3P_12	N18	12	IO_L22P_12
L25	12	IO_L3N_12	M19	12	IO_L22N_12
P24	12	IO_L4P_12	U17	12	IO_L23P_12
N24	12	IO_L4N_12	T17	12	IO_L23N_12
N26	12	IO_L5P_12	R18	12	IO_L24P_12
M26	12	IO_L5N_12	P18	12	IO_L24N_12
R25	12	IO_L6P_12	U16	12	IO_L25_12
P25	12	IO_L6N_12			



SFG676 引脚信息 (PH1A180)					
编号	BANK	引脚说明	编号	BANK	引脚说明
K21	13	IO_L0_13	G22	13	IO_L13P_13, GCLKIOT1_13
B24	13	IO_L1P_13, D0, MOSI	F23	13	IO_L13N_13, GCLKIOC1_13
A25	13	IO_L1N_13, D1, DIN, MISO	G24	13	IO_L14P_13, GCLKIOT0_13
B22	13	IO_L2P_13, D2, WPN	F24	13	IO_L14N_13, GCLKIOC0_13
A22	13	IO_L2N_13, D3, HOLDN	E25	13	IO_L15P_13, RDWRN
B25	13	IO_L3P_13, HSWAPEN	D25	13	IO_L15N_13, GSON, DOUT
B26	13	IO_L3N_13, USRCLK	G25	13	IO_L16P_13, CSN
A23	13	IO_L4P_13, D4	G26	13	IO_L16N_13, D31
A24	13	IO_L4N_13, D5	F25	13	IO_L17P_13, D30
D26	13	IO_L5P_13, D6	E26	13	IO_L17N_13, D29
G26	13	IO_L5N_13, D7	J26	13	IO_L18P_13, D28
G23	13	IO_L6P_13, SPICSN, BUSY	H26	13	IO_L18N_13, D27
G24	13	IO_L6N_13, D8	H21	13	IO_L19P_13, D26
D21	13	IO_L7P_13, D9	G21	13	IO_L19N_13, D25
G22	13	IO_L7N_13, D10	H23	13	IO_L20P_13, D24
B20	13	IO_L8P_13, D11	H24	13	IO_L20N_13, D23
A20	13	IO_L8N_13, D12	J21	13	IO_L21P_13
E21	13	IO_L9P_13	H22	13	IO_L21N_13, D22
E22	13	IO_L9N_13, D13	J24	13	IO_L22P_13, D21
G21	13	IO_L10P_13, D14	J25	13	IO_L22N_13, D20
B21	13	IO_L10N_13, D15	L22	13	IO_L23P_13, D19
D23	13	IO_L11P_13, GCLKIOT3_13	K22	13	IO_L23N_13, D18
D24	13	IO_L11N_13, GCLKIOC3_13	K23	13	IO_L24P_13, D17
F22	13	IO_L12P_13, GCLKIOT2_13	J23	13	IO_L24N_13, D16
E23	13	IO_L12N_13, GCLKIOC2_13	L23	13	IO_L25_13



SFG676 引脚信息 (PH1A180)

编号	BANK	引脚说明	编号	BANK	引脚说明
K15	14	IO_L0_14	E18	14	IO_L13P_14, GCLKIOT1_14
C16	14	IO_L1P_14	D18	14	IO_L13N_14, GCLKIOC1_14
B16	14	IO_L1N_14	H17	14	IO_L14P_14, GCLKIOT0_14
A18	14	IO_L2P_14	H18	14	IO_L14N_14, GCLKIOC0_14
A19	14	IO_L2N_14	D19	14	IO_L15P_14
B17	14	IO_L3P_14	D20	14	IO_L15N_14
A17	14	IO_L3N_14	G19	14	IO_L16P_14, GPLLO_14_OUTP
C19	14	IO_L4P_14	F20	14	IO_L16N_14, GPLLO_14_OUTN
B19	14	IO_L4N_14	F19	14	IO_L17P_14
C17	14	IO_L5P_14	E20	14	IO_L17N_14
C18	14	IO_L5N_14	H19	14	IO_L18P_14
D15	14	IO_L6P_14	G20	14	IO_L18N_14
D16	14	IO_L6N_14	K20	14	IO_L19P_14
H16	14	IO_L7P_14	J20	14	IO_L19N_14
G16	14	IO_L7N_14	J18	14	IO_L20P_14
G15	14	IO_L8P_14	J19	14	IO_L20N_14
F15	14	IO_L8N_14	L19	14	IO_L21P_14
J15	14	IO_L9P_14, GPLL1_14_OUTP	L20	14	IO_L21N_14
J16	14	IO_L9N_14, GPLL1_14_OUTN	K16	14	IO_L22P_14
E15	14	IO_L10P_14	K17	14	IO_L22N_14
E16	14	IO_L10N_14	M17	14	IO_L23P_14
G17	14	IO_L11P_14, GCLKIOT3_14	L18	14	IO_L23N_14
F18	14	IO_L11N_14, GCLKIOC3_14	L17	14	IO_L24P_14
F17	14	IO_L12P_14, GCLKIOT2_14	K18	14	IO_L24N_14
E17	14	IO_L12N_14, GCLKIOC2_14	M16	14	IO_L25_14



SFG676 引脚信息 (PH1A180)

编号	BANK	引脚说明	编号	BANK	引脚说明
J8	15	I0_L0_15	C12	15	I0_L13P_15, GCLKIOT1_15
H9	15	I0_L1P_15	C11	15	I0_L13N_15, GCLKI0C1_15
H8	15	I0_L1N_15	E11	15	I0_L14P_15, GCLKI0T0_15
G10	15	I0_L2P_15	D11	15	I0_L14N_15, GCLKI0C0_15
G9	15	I0_L2N_15	F14	15	I0_L15P_15
J13	15	I0_L3P_15	F13	15	I0_L15N_15
H13	15	I0_L3N_15	G12	15	I0_L16P_15, GPLL0_15_OUTP
J11	15	I0_L4P_15	F12	15	I0_L16N_15, GPLL0_15_OUTN
J10	15	I0_L4N_15	D14	15	I0_L17P_15
H14	15	I0_L5P_15	D13	15	I0_L17N_15
G14	15	I0_L5N_15	E13	15	I0_L18P_15
H12	15	I0_L6P_15	E12	15	I0_L18N_15
H11	15	I0_L6N_15	C14	15	I0_L19P_15
F9	15	I0_L7P_15	C13	15	I0_L19N_15
F8	15	I0_L7N_15	B12	15	I0_L20P_15
D9	15	I0_L8P_15	B11	15	I0_L20N_15
D8	15	I0_L8N_15	B14	15	I0_L21P_15
A9	15	I0_L9P_15, GPLL1_15_OUTP	A14	15	I0_L21N_15
A8	15	I0_L9N_15, GPLL1_15_OUTN	B10	15	I0_L22P_15
C9	15	I0_L10P_15	A10	15	I0_L22N_15
B9	15	I0_L10N_15	B15	15	I0_L23P_15
G11	15	I0_L11P_15, GCLKIOT3_15	A15	15	I0_L23N_15
F10	15	I0_L11N_15, GCLKI0C3_15	A13	15	I0_L24P_15
E10	15	I0_L12P_15, GCLKIOT2_15	A12	15	I0_L24N_15
D10	15	I0_L12N_15, GCLKI0C2_15	J14	15	I0_L25_15



SFG676 引脚信息 (PH1A180)					
编号	BANK	引脚说明	编号	BANK	引脚说明
V13	31	IO_R0_31	AC18	31	IO_R13P_31, GCLKIOT1_31, T2
AE17	31	IO_R1P_31, T0	AD18	31	IO_R13N_31, GCLKIOC1_31, T2
AF17	31	IO_R1N_31, T0	AB17	31	IO_R14P_31, GCLKIOT0_31, T2
AF14	31	IO_R2P_31, T0	AC17	31	IO_R14N_31, GCLKIOC0_31, T2
AF15	31	IO_R2N_31, T0	AD20	31	IO_R15P_31, T2_DQS_P
AE18	31	IO_R3P_31, T0_DQS_P	AE20	31	IO_R15N_31, T2_DQS_N
AF18	31	IO_R3N_31, T0_DQS_N	AA19	31	IO_R16P_31, GPLL0_31_OUTP, T2
AD15	31	IO_R4P_31, T0	AA20	31	IO_R16N_31, GPLL0_31_OUTN, T2
AE15	31	IO_R4N_31, T0	AC19	31	IO_R17P_31, T2
AF19	31	IO_R5P_31, T0	AD19	31	IO_R17N_31, T2
AF20	31	IO_R5N_31, T0	AB19	31	IO_R18P_31, T2
AD16	31	IO_R6P_31, T0	AB20	31	IO_R18N_31, T2
AE16	31	IO_R6N_31, T0_VREF	Y17	31	IO_R19P_31, T3
AA14	31	IO_R7P_31, T1	Y18	31	IO_R19N_31, T3_VREF
AA15	31	IO_R7N_31, T1	V16	31	IO_R20P_31, T3
AC14	31	IO_R8P_31, T1	V17	31	IO_R20N_31, T3
AD14	31	IO_R8N_31, T1	W18	31	IO_R21P_31, T3_DQS_P
Y15	31	IO_R9P_31, GPLL1_31_OUTP, T1_DQS_P	W19	31	IO_R21N_31, T3_DQS_N
Y16	31	IO_R9N_31, GPLL1_31_OUTN, T1_DQS_N	W15	31	IO_R22P_31, T3
AB14	31	IO_R10P_31, T1	W16	31	IO_R22N_31, T3
AB15	31	IO_R10N_31, T1	V18	31	IO_R23P_31, T3
AA17	31	IO_R11P_31, GCLKIOT3_31, T1	V19	31	IO_R23N_31, T3
AA18	31	IO_R11N_31, GCLKIOC3_31, T1	V14	31	IO_R24P_31, T3
AB16	31	IO_R12P_31, GCLKIOT2_31, T1	W14	31	IO_R24N_31, T3
AC16	31	IO_R12N_31, GCLKIOC2_31, T1	W13	31	IO_R25_31, VRP



SFG676 引脚信息 (PH1A180)					
编号	BANK	引脚说明	编号	BANK	引脚说明
U9	32	I0_R0_32	AB11	32	I0_R13P_32, GCLKIOT1_32, T2
V11	32	I0_R1P_32, T0	AC11	32	I0_R13N_32, GCLKIOC1_32, T2
W11	32	I0_R1N_32, T0	AA10	32	I0_R14P_32, GCLKIOT0_32, T2
V8	32	I0_R2P_32, T0	AB10	32	I0_R14N_32, GCLKIOC0_32, T2
V7	32	I0_R2N_32, T0	AB12	32	I0_R15P_32, T2_DQS_P
W10	32	I0_R3P_32, T0_DQS_P	AC12	32	I0_R15N_32, T2_DQS_N
W9	32	I0_R3N_32, T0_DQS_N	AA13	32	I0_R16P_32, GPLLO_32_OUTP, T2
Y8	32	I0_R4P_32, T0	AA12	32	I0_R16N_32, GPLLO_32_OUTN, T2
Y7	32	I0_R4N_32, T0	AC13	32	I0_R17P_32, T2
Y11	32	I0_R5P_32, T0	AD13	32	I0_R17N_32, T2
Y10	32	I0_R5N_32, T0	Y13	32	I0_R18P_32, T2
V9	32	I0_R6P_32, T0	Y12	32	I0_R18N_32, T2
W8	32	I0_R6N_32, T0_VREF	AD11	32	I0_R19P_32, T3
AE7	32	I0_R7P_32, T1	AE11	32	I0_R19N_32, T3_VREF
AF7	32	I0_R7N_32, T1	AD10	32	I0_R20P_32, T3
AA8	32	I0_R8P_32, T1	AE10	32	I0_R20N_32, T3
AA7	32	I0_R8N_32, T1	AE12	32	I0_R21P_32, T3_DQS_P
AC8	32	I0_R9P_32, GPLL1_32_OUTP, T1_DQS_P	AF12	32	I0_R21N_32, T3_DQS_N
AD8	32	I0_R9N_32, GPLL1_32_OUTN, T1_DQS_N	AE8	32	I0_R22P_32, T3
AB7	32	I0_R10P_32, T1	AF8	32	I0_R22N_32, T3
AC7	32	I0_R10N_32, T1	AE13	32	I0_R23P_32, T3
AA9	32	I0_R11P_32, GCLKIOT3_32, T1	AF13	32	I0_R23N_32, T3
AB9	32	I0_R11N_32, GCLKIOC3_32, T1	AF10	32	I0_R24P_32, T3
AC9	32	I0_R12P_32, GCLKIOT2_32, T1	AF9	32	I0_R24N_32, T3
AD9	32	I0_R12N_32, GCLKIOC2_32, T1	V12	32	I0_R25_32, VRP



SFG676 引脚信息 (PH1A180)					
编号	BANK	引脚说明	编号	BANK	引脚说明
U4	33	I0_R0_33	AA4	33	I0_R13P_33, GCLKIOT1_33, T2
U6	33	I0_R1P_33, GPFUOUTEN, T0	AB4	33	I0_R13N_33, GCLKIOC1_33, T2
U5	33	I0_R1N_33, T0	AC4	33	I0_R14P_33, GCLKIOT0_33, T2
U2	33	I0_R2P_33, T0	AC3	33	I0_R14N_33, GCLKIOC0_33, T2
U1	33	I0_R2N_33, T0	AA5	33	I0_R15P_33, T2_DQS_P
W6	33	I0_R3P_33, T0_DQS_P	AB5	33	I0_R15N_33, T2_DQS_N
W5	33	I0_R3N_33, T0_DQS_N	AB6	33	I0_R16P_33, GPLLO_33_OUTP, T2
V3	33	I0_R4P_33, T0	AC6	33	I0_R16N_33, GPLLO_33_OUTN, T2
W3	33	I0_R4N_33, T0	Y6	33	I0_R17P_33, T2
U7	33	I0_R5P_33, T0	Y5	33	I0_R17N_33, T2
V6	33	I0_R5N_33, T0	AD6	33	I0_R18P_33, T2
V4	33	I0_R6P_33, T0	AD5	33	I0_R18N_33, T2
W4	33	I0_R6N_33, T0_VREF	AD4	33	I0_R19P_33, T3
Y3	33	I0_R7P_33, T1	AD3	33	I0_R19N_33, T3_VREF
Y2	33	I0_R7N_33, T1	AD1	33	I0_R20P_33, T3
V2	33	I0_R8P_33, T1	AE1	33	I0_R20N_33, T3
V1	33	I0_R8N_33, T1	AF5	33	I0_R21P_33, T3_DQS_P
AB1	33	I0_R9P_33, GPLL1_33_OUTP, T1_DQS_P	AF4	33	I0_R21N_33, T3_DQS_N
AC1	33	I0_R9N_33, GPLL1_33_OUTN, T1_DQS_N	AE3	33	I0_R22P_33, T3
W1	33	I0_R10P_33, T1	AE2	33	I0_R22N_33, T3
Y1	33	I0_R10N_33, T1	AE6	33	I0_R23P_33, T3
AB2	33	I0_R11P_33, GCLKIOT3_33, T1	AE5	33	I0_R23N_33, T3
AC2	33	I0_R11N_33, GCLKIOC3_33, T1	AF3	33	I0_R24P_33, T3
AA3	33	I0_R12P_33, GCLKIOT2_33, T1	AF2	33	I0_R24N_33, T3
AA2	33	I0_R12N_33, GCLKIOC2_33, T1	T7	33	I0_R25_33, VRP



SFG676 引脚信息 (PH1A180)

编号	BANK	引脚说明	编号	BANK	引脚说明
H6	80	REFCLKP_80	D6	82	REFCLKP_82
H5	80	REFCLKM_80	D5	82	REFCLKM_82
R4	80	RXP0_80	G4	82	RXP0_82
R3	80	RXM0_80	G3	82	RXM0_82
N4	80	RXP1_80	E4	82	RXP1_82
N3	80	RXM1_80	E3	82	RXM1_82
P2	80	TXP0_80	F2	82	TXP0_82
P1	80	TXM0_80	F1	82	TXM0_82
M2	80	TXP1_80	D2	82	TXP1_82
M1	80	TXM1_80	D1	82	TXM1_82
K6	81	REFCLKP_81	F6	83	REFCLKP_83
K5	81	REFCLKM_81	F5	83	REFCLKM_83
L4	81	RXP0_81	C4	83	RXP0_83
L3	81	RXM0_81	C3	83	RXM0_83
J4	81	RXP1_81	B6	83	RXP1_83
J3	81	RXM1_81	B5	83	RXM1_83
K2	81	TXP0_81	B1	83	TXM0_83
K1	81	TXM0_81	B2	83	TXP0_83
H2	81	TXP1_81	A3	83	TXM1_83
H1	81	TXM1_81	A4	83	TXP1_83



SFG676 引脚信息 (PH1A180)

编号	BANK	引脚说明	编号	BANK	引脚说明
A1	-	GND	E7	-	GND
A16	-	GND	F11	-	GND
A2	-	GND	F21	-	GND
A26	-	GND	F3	-	GND
A5	-	GND	F4	-	GND
A6	-	GND	F7	-	GND
A7	-	GND	G1	-	GND
AA16	-	GND	G18	-	GND
AA6	-	GND	G5	-	GND
AB13	-	GND	G8	-	GND
AB24	-	GND	H15	-	GND
AB3	-	GND	H25	-	GND
AC10	-	GND	H4	-	GND
AC20	-	GND	H7	-	GND
AD17	-	GND	J1	-	GND
AD22	-	GND	J12	-	GND
AD25	-	GND	J2	-	GND
AD7	-	GND	J22	-	GND
AE14	-	GND	J5	-	GND
AE4	-	GND	K11	-	GND
AF1	-	GND	K13	-	GND
AF11	-	GND	K19	-	GND
AF21	-	GND	K3	-	GND
AF26	-	GND	K4	-	GND
B13	-	GND	K7	-	GND
B23	-	GND	K9	-	GND
B4	-	GND	L1	-	GND
B7	-	GND	L10	-	GND
C1	-	GND	L12	-	GND
C10	-	GND	L14	-	GND
C20	-	GND	L16	-	GND
C5	-	GND	L26	-	GND
C7	-	GND	L5	-	GND
D17	-	GND	M13	-	GND
D4	-	GND	M15	-	GND
D7	-	GND	M23	-	GND
E1	-	GND	M4	-	GND
E14	-	GND	M7	-	GND
E2	-	GND	M9	-	GND
E24	-	GND	N1	-	GND
E5	-	GND	N10	-	GND





SFG676 引脚信息 (PH1A180)

编号	BANK	引脚说明	编号	BANK	引脚说明
N14	-	GND	E8	-	NC
N2	-	GND	M11	-	NC
N20	-	GND	M12	-	NC
N5	-	GND	M5	-	NC
N7	-	GND	N11	-	NC
P13	-	GND	N12	-	NC
P15	-	GND	P11	-	NC
P17	-	GND	P12	-	NC
P3	-	GND	P8	-	NC
P4	-	GND	R11	-	NC
P9	-	GND	R12	-	NC
R1	-	GND	R9	-	NC
R10	-	GND	T8	-	NC
R14	-	GND	AA24	-	VCCDPHY
R2	-	GND	AC24	-	VCCDPHY
R24	-	GND	AD23	-	VCCDPHY
R5	-	GND	AD24	-	VCCDPHY
R8	-	GND	AE21	-	VCCDPHY
T1	-	GND	V26	-	VCCDPHY
T11	-	GND	W24	-	VCCDPHY
T13	-	GND	AA26	-	I_OP_DPHY0, CKP_0
T15	-	GND	AA25	-	I_ON_DPHY0, CKN_0
T21	-	GND	Y26	-	I_1P_DPHY0, DPO_0
T3	-	GND	Y25	-	I_1N_DPHY0, DNO_0
T4	-	GND	AB26	-	I_2P_DPHY0, DP1_0
T9	-	GND	AB25	-	I_2N_DPHY0, DN1_0
U10	-	GND	W26	-	I_3P_DPHY0, DP2_0
U12	-	GND	W25	-	I_3N_DPHY0, DN2_0
U14	-	GND	AC26	-	I_4P_DPHY0, DP3_0
U18	-	GND	AC25	-	I_4N_DPHY0, DN3_0
U8	-	GND	AF24	-	I_5P_DPHY1, CKP_1
V15	-	GND	AE24	-	I_5N_DPHY1, CKN_1
V25	-	GND	AF25	-	I_6P_DPHY1, DPO_1
V5	-	GND	AE25	-	I_6N_DPHY1, DNO_1
W12	-	GND	AF23	-	I_7P_DPHY1, DP1_1
W2	-	GND	AE23	-	I_7N_DPHY1, DN1_1
W22	-	GND	AE26	-	I_8P_DPHY1, DP2_1
Y19	-	GND	AD26	-	I_8N_DPHY1, DN2_1
Y24	-	GND	AF22	-	I_9P_DPHY1, DP3_1
Y9	-	GND	AE22	-	I_9N_DPHY1, DN3_1



SFG676 引脚信息 (PH1A180)

编号	BANK	引脚说明	编号	BANK	引脚说明
L7	0	VCCIO_0	AD12	32	VCCIO_32
T6	0	VCCIO_0	U3	33	VCCIO_33
AA21	11	VCCIO_11	Y4	33	VCCIO_33
U23	11	VCCIO_11	AA1	33	VCCIO_33
V20	11	VCCIO_11	AD2	33	VCCIO_33
K24	12	VCCIO_12	AC5	33	VCCIO_33
P22	12	VCCIO_12	AF6	33	VCCIO_33
N25	12	VCCIO_12	J6	80	PHYVCCA_80
T16	12	VCCIO_12	L6	80	PHYVCCA_80
R19	12	VCCIO_12	N6	80	PHYVCCA_80
T26	12	VCCIO_12	G2	80	PHYVCCT_80
A21	13	VCCIO_13	H3	80	PHYVCCT_80
D22	13	VCCIO_13	L2	80	PHYVCCT_80
C25	13	VCCIO_13	M3	80	PHYVCCT_80
G23	13	VCCIO_13	B3	82	PHYVCCT_82
F26	13	VCCIO_13	C2	82	PHYVCCT_82
L21	13	VCCIO_13	D3	82	PHYVCCT_82
H20	14	VCCIO_14	C6	82	PHYVCCA_82
B18	14	VCCIO_14	E6	82	PHYVCCA_82
F16	14	VCCIO_14	G6	82	PHYVCCA_82
E19	14	VCCIO_14			
J17	14	VCCIO_14			
M18	14	VCCIO_14			
C15	15	VCCIO_15			
H10	15	VCCIO_15			
E9	15	VCCIO_15			
A11	15	VCCIO_15			
D12	15	VCCIO_15			
G13	15	VCCIO_15			
B8	15	VCCIO_15			
Y14	31	VCCIO_31			
W17	31	VCCIO_31			
AC15	31	VCCIO_31			
AB18	31	VCCIO_31			
AF16	31	VCCIO_31			
AE19	31	VCCIO_31			
W7	32	VCCIO_32			
V10	32	VCCIO_32			
AB8	32	VCCIO_32			
AE9	32	VCCIO_32			
AA11	32	VCCIO_32			





SFG676 引脚信息 (PH1A180)					
编号	BANK	引脚说明	编号	BANK	引脚说明
M6	-	RESREF	C8	0	CCLK_0
L11	-	VCCAUX	G7	0	INITN_0
M10	-	VCCAUX	P6	0	PROGRAMN_0
P10	-	VCCAUX	J7	0	DONE_0
T10	-	VCCAUX	T5	0	M0_0
U11	-	VCCAUX	T2	0	M1_0
J9	-	VCCINT	P5	0	M2_0
K10	-	VCCINT	L8	0	TCK_0
K12	-	VCCINT	R6	0	TDI_0
K14	-	VCCINT	R7	0	TDO_0
K8	-	VCCINT	N8	0	TMS_0
L13	-	VCCINT	P7	0	TRSTN_0
L15	-	VCCINT			
L9	-	VCCINT			
M14	-	VCCINT			
M8	-	VCCINT			
N13	-	VCCINT			
N15	-	VCCINT			
N9	-	VCCINT			
P14	-	VCCINT			
R13	-	VCCINT			
R15	-	VCCINT			
T12	-	VCCINT			
T14	-	VCCINT			
U13	-	VCCINT			
U15	-	VCCINT			



4.6 GEG324 引脚信息

GEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
R11	12	IO_L0_12	U18	12	IO_L17N_12, D29
K17	12	IO_L1P_12, D0, MOSI	U16	12	IO_L18P_12, D28
K18	12	IO_L1N_12, D1, DIN, MISO	V17	12	IO_L18N_12, D27
L14	12	IO_L2P_12, D2, WPN	T11	12	IO_L19P_12, D26
M14	12	IO_L2N_12, D3, HOLDN	U11	12	IO_L19N_12, D25
L15	12	IO_L3P_12, HSWAPEN	U12	12	IO_L20P_12, D24
L16	12	IO_L3N_12, USRCLK	V12	12	IO_L20N_12, D23
L18	12	IO_L4P_12, D4	V10	12	IO_L21P_12
M18	12	IO_L4N_12, D5	V11	12	IO_L21N_12, D22
R12	12	IO_L5P_12, D6	U14	12	IO_L22P_12, D21
R13	12	IO_L5N_12, D7	V14	12	IO_L22N_12, D20
L13	12	IO_L6P_12, SPI_CSN, BUSY	T13	12	IO_L23P_12, D19
M13	12	IO_L6N_12, D8	U13	12	IO_L23N_12, D18
R18	12	IO_L7P_12, D9	T9	12	IO_L24P_12, D17
T18	12	IO_L7N_12, D10	T10	12	IO_L24N_12, D16
N14	12	IO_L8P_12, D11	R10	12	IO_L25_12
P14	12	IO_L8N_12, D12			
N17	12	IO_L9P_12			
P18	12	IO_L9N_12, D13			
M16	12	IO_L10P_12, D14			
M17	12	IO_L10N_12, D15			
N15	12	IO_L11P_12, GCLKIOT3			
N16	12	IO_L11N_12, GCLKIOC3			
P17	12	IO_L12P_12, GCLKIOT2			
R17	12	IO_L12N_12, GCLKIOC2			
P15	12	IO_L13P_12, GCLKIOT1			
R15	12	IO_L13N_12, GCLKIOC1			
T14	12	IO_L14P_12, GCLKIOT0			
T15	12	IO_L14N_12, GCLKIOC0			
R16	12	IO_L15P_12, RDWRN			
T16	12	IO_L15N_12, CSON, DOUT			
V15	12	IO_L16P_12, CSN			
V16	12	IO_L16N_12, D31			
U17	12	IO_L17P_12, D30			



GEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
G13	13	IO_L0_13	J13	13	IO_L17N_13
D14	13	IO_L1P_13	H17	13	IO_L18P_13
C14	13	IO_L1N_13	G17	13	IO_L18N_13
B13	13	IO_L2P_13	J14	13	IO_L19P_13
B14	13	IO_L2N_13	H15	13	IO_L19N_13
C12	13	IO_L3P_13	C16	13	IO_L20P_13
B12	13	IO_L3N_13	C17	13	IO_L20N_13
B11	13	IO_L4P_13	E18	13	IO_L21P_13
A11	13	IO_L4N_13	D18	13	IO_L21N_13
F13	13	IO_L5P_13	G18	13	IO_L22P_13
F14	13	IO_L5N_13	F18	13	IO_L22N_13
D12	13	IO_L6P_13	J17	13	IO_L23P_13
D13	13	IO_L6N_13	J18	13	IO_L23N_13
B16	13	IO_L7P_13	K15	13	IO_L24P_13
B17	13	IO_L7N_13	J15	13	IO_L24N_13
A15	13	IO_L8P_13	K16	13	IO_L25_13
A16	13	IO_L8N_13			
A13	13	IO_L9P_13, GPLL1_OUTP			
A14	13	IO_L9N_13, GPLL1_OUTN			
B18	13	IO_L10P_13			
A18	13	IO_L10N_13			
E15	13	IO_L11P_13, GCLKIOT3			
E16	13	IO_L11N_13, GCLKIOC3			
D15	13	IO_L12P_13, GCLKIOT2			
C15	13	IO_L12N_13, GCLKIOC2			
H16	13	IO_L13P_13, GCLKIOT1			
G16	13	IO_L13N_13, GCLKIOC1			
F15	13	IO_L14P_13, GCLKIOT0			
F16	13	IO_L14N_13, GCLKIOC0			
H14	13	IO_L15P_13			
G14	13	IO_L15N_13			
E17	13	IO_L16P_13, GPLLO_OUTP			
D17	13	IO_L16N_13, GPLLO_OUTN			
K13	13	IO_L17P_13			



GEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
K6	32	I0_R0_32	T1	32	I0_R17N_32
L1	32	I0_R1P_32	M6	32	I0_R18P_32
M1	32	I0_R1N_32	N6	32	I0_R18N_32
K3	32	I0_R2P_32	R6	32	I0_R19P_32
L3	32	I0_R2N_32	R5	32	I0_R19N_32
N2	32	I0_R3P_32	V7	32	I0_R20P_32
N1	32	I0_R3N_32	V6	32	I0_R20N_32
M3	32	I0_R4P_32	U9	32	I0_R21P_32
M2	32	I0_R4N_32	V9	32	I0_R21N_32
K5	32	I0_R5P_32	U7	32	I0_R22P_32
L4	32	I0_R5N_32	U6	32	I0_R22N_32
L6	32	I0_R6P_32	R7	32	I0_R23P_32
L5	32	I0_R6N_32	T6	32	I0_R23N_32
U1	32	I0_R7P_32	R8	32	I0_R24P_32
V1	32	I0_R7N_32	T8	32	I0_R24N_32
U4	32	I0_R8P_32	U8	32	I0_R25_32
U3	32	I0_R8N_32			
U2	32	I0_R9P_32, GPLL1_OUTP			
V2	32	I0_R9N_32, GPLL1_OUTN			
V5	32	I0_R10P_32			
V4	32	I0_R10N_32			
R3	32	I0_R11P_32, GCLKIOT3			
T3	32	I0_R11N_32, GCLKIOC3			
T5	32	I0_R12P_32, GCLKIOT2			
T4	32	I0_R12N_32, GCLKIOC2			
N5	32	I0_R13P_32, GCLKIOT1			
P5	32	I0_R13N_32, GCLKIOC1			
P4	32	I0_R14P_32, GCLKIOT0			
P3	32	I0_R14N_32, GCLKIOC0			
P2	32	I0_R15P_32			
R2	32	I0_R15N_32			
M4	32	I0_R16P_32, GPLLO_OUTP			
N4	32	I0_R16N_32, GPLLO_OUTN			
R1	32	I0_R17P_32			



GEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
F5	33	I0_R0_33	G1	33	I0_R17N_33
G6	33	I0_R1P_33	F1	33	I0_R18P_33
C5	33	I0_R1N_33	E1	33	I0_R18N_33
B7	33	I0_R2P_33	G6	33	I0_R19P_33
B6	33	I0_R2N_33	F6	33	I0_R19N_33
A6	33	I0_R3P_33	G4	33	I0_R20P_33
A5	33	I0_R3N_33	G3	33	I0_R20N_33
D8	33	I0_R4P_33	J4	33	I0_R21P_33
C7	33	I0_R4N_33	H4	33	I0_R21N_33
E6	33	I0_R5P_33	J3	33	I0_R22P_33
E5	33	I0_R5N_33	J2	33	I0_R22N_33
E7	33	I0_R6P_33	K2	33	I0_R23P_33
D7	33	I0_R6N_33	K1	33	I0_R23N_33
C4	33	I0_R7P_33	H6	33	I0_R24P_33
B4	33	I0_R7N_33	H5	33	I0_R24N_33
A4	33	I0_R8P_33	J5	33	I0_R25_33
A3	33	I0_R8N_33			
B1	33	I0_R9P_33, GPLL1_OUTP			
A1	33	I0_R9N_33, GPLL1_OUTN			
B3	33	I0_R10P_33			
B2	33	I0_R10N_33			
D5	33	I0_R11P_33, GCLKIOT3			
D4	33	I0_R11N_33, GCLKIOC3			
E3	33	I0_R12P_33, GCLKIOT2			
D3	33	I0_R12N_33, GCLKIOC2			
F4	33	I0_R13P_33, GCLKIOT1			
F3	33	I0_R13N_33, GCLKIOC1			
E2	33	I0_R14P_33, GCLKIOT0			
D2	33	I0_R14N_33, GCLKIOC0			
H2	33	I0_R15P_33			
G2	33	I0_R15N_33			
C2	33	I0_R16P_33, GPLLO_OUTP			
C1	33	I0_R16N_33, GPLLO_OUTN			
H1	33	I0_R17P_33			



GEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
F8	-	VCCINT	D6	33	VCCIO_33
G7	-	VCCINT	F2	33	VCCIO_33
G9	-	VCCINT	G5	33	VCCIO_33
H8	-	VCCINT	J1	33	VCCIO_33
J11	-	VCCINT	A12	-	GND
J7	-	VCCINT	A2	-	GND
K8	-	VCCINT	B15	-	GND
L11	-	VCCINT	B5	-	GND
L7	-	VCCINT	C18	-	GND
M10	-	VCCINT	C8	-	GND
M8	-	VCCINT	D1	-	GND
N11	-	VCCINT	D11	-	GND
N7	-	VCCINT	E14	-	GND
N9	-	VCCINT	E4	-	GND
G11	-	VCCINT	F11	-	GND
F10	-	VCCINT	F17	-	GND
F12	-	VCCAUX	F7	-	GND
H12	-	VCCAUX	F9	-	GND
K12	-	VCCAUX	G10	-	GND
M12	-	VCCAUX	G12	-	GND
L17	12	VCCIO_12	G8	-	GND
N13	12	VCCIO_12	H11	-	GND
P16	12	VCCIO_12	H13	-	GND
T12	12	VCCIO_12	H3	-	GND
U15	12	VCCIO_12	H7	-	GND
V18	12	VCCIO_12	J12	-	GND
A17	13	VCCIO_13	J16	-	GND
C13	13	VCCIO_13	J6	-	GND
D16	13	VCCIO_13	J8	-	GND
K14	13	VCCIO_13	K11	-	GND
H18	13	VCCIO_13	K7	-	GND
G15	13	VCCIO_13	L12	-	GND
A7	33	VCCIO_33			
C3	33	VCCIO_33			



GEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
B10	11	VCCIO_11	L2	-	GND
D9	11	IO_L0_11	L8	-	GND
C9	11	IO_L1P_11, GCLKIOT3	M11	-	GND
B9	11	IO_L1N_11, GCLKIOC3	M15	-	GND
B8	11	IO_L2P_11, GCLKIOT2	M5	-	GND
A8	11	IO_L2N_11, GCLKIOC2	M7	-	GND
C11	11	IO_L3P_11, GCLKIOT1	M9	-	GND
C10	11	IO_L3N_11, GCLKIOC1	N10	-	GND
A10	11	IO_L4P_11, GCLKIOT0	N12	-	GND
A9	11	IO_L4N_11, GCLKIOC0	N18	-	GND
D10	11	IO_L5_11	N8	-	GND
R9	0	VCCIO_0	P1	-	GND
P8	0	TRSTN_0	R14	-	GND
P7	0	INITN_0	R4	-	GND
P10	0	DONE_0	T17	-	GND
P9	0	PROGRAMN_0	T7	-	GND
P12	0	M0_0	U10	-	GND
P13	0	M1_0	V13	-	GND
P11	0	M2_0	V3	-	GND
E9	0	CCLK_0	E8	-	NC
E12	0	TMS_0	H10	-	NC
E13	0	TDO_0	H9	-	NC
E11	0	TDI_0	J10	-	NC
E10	0	TCK_0	J9	-	NC
K4	32	VCCIO_32	K10	-	NC
N3	32	VCCIO_32	K9	-	NC
P6	32	VCCIO_32	L10	-	NC
T2	32	VCCIO_32	L9	-	NC
U5	32	VCCIO_32			
V8	32	VCCIO_32			



4.7 SBG484 引脚信息

SBG484 引脚信息						
编号	BANK	引脚说明		编号	BANK	引脚说明
T13	11	IO_L0P_11		W18	11	IO_L8N_11, GCLK10C1_11
U13	11	IO_L0N_11		V19	11	IO_L9P_11, GCLK10T2_11
Y12	11	IO_L1P_11		W19	11	IO_L9N_11, GCLK10C2_11
W13	11	IO_L1N_11		V20	11	IO_L10P_11, GCLK10T3_11
V13	11	IO_L2P_11		W20	11	IO_L10N_11, GCLK10C3_11
V14	11	IO_L2N_11		T18	11	IO_L11P_11, GPLL1_11_OUTP
W14	11	IO_L3P_11		U18	11	IO_L11N_11, GPLL1_11_OUTN
W15	11	IO_L3N_11		U16	11	IO_L12P_11
T15	11	IO_L4P_11		U17	11	IO_L12N_11
U15	11	IO_L4N_11		T19	11	IO_L13P_11
R16	11	IO_L5P_11, GPLL0_11_OUTP		U20	11	IO_L13N_11
T16	11	IO_L5N_11, GPLL0_11_OUTN		U21	11	IO_L14P_11
V15	11	IO_L6P_11		V21	11	IO_L14N_11
W16	11	IO_L6N_11		T20	11	IO_L15P_11
V17	11	IO_L7P_11, GCLK10T0_11		T21	11	IO_L15N_11
W17	11	IO_L7N_11, GCLK10C0_11		U22	11	IO_L16P_11
V18	11	IO_L8P_11, GCLK10T1_11		V22	11	IO_L16N_11



SBG484 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
K16	12	IO_L0_12	M21	12	IO_L17N_12, D29
H18	12	IO_L1P_12, D0, MOSI	M20	12	IO_L18P_12, D28
H19	12	IO_L1N_12, D1, DIN, MISO	L21	12	IO_L18N_12, D27
G18	12	IO_L2P_12, D2, WPN	R18	12	IO_L19P_12, D26
F19	12	IO_L2N_12, D3, HOLDN	R19	12	IO_L19N_12, D25
K18	12	IO_L3P_12, HSWAPEN	P19	12	IO_L20P_12, D24
J19	12	IO_L3N_12, USRCLK	P20	12	IO_L20N_12, D23
G20	12	IO_L4P_12, D4	R17	12	IO_L21P_12
F20	12	IO_L4N_12, D5	P17	12	IO_L21N_12, D22
L18	12	IO_L5P_12, D6	P21	12	IO_L22P_12, D21
K19	12	IO_L5N_12, D7	P22	12	IO_L22N_12, D20
L16	12	IO_L6P_12, SPICSN, BUSY	P16	12	IO_L23P_12, D19
K17	12	IO_L6N_12, D8	N17	12	IO_L23N_12, D18
E21	12	IO_L7P_12, D9	R21	12	IO_L24P_12, D17
E22	12	IO_L7N_12, D10	R22	12	IO_L24N_12, D16
H22	12	IO_L8P_12, D11	M16	12	IO_L25_12
G22	12	IO_L8N_12, D12			
G21	12	IO_L9P_12			
F21	12	IO_L9N_12, D13			
J21	12	IO_L10P_12, D14			
J22	12	IO_L10N_12, D15			
J20	12	IO_L11P_12, GCLKIOT3_12			
H20	12	IO_L11N_12, GCLKIOC3_12			
L19	12	IO_L12P_12, GCLKIOT2_12			
L20	12	IO_L12N_12, GCLKIOC2_12			
N18	12	IO_L13P_12, GCLKIOT1_12			
N19	12	IO_L13N_12, GCLKIOC1_12			
M17	12	IO_L14P_12, GCLKIOT0_12			
M18	12	IO_L14N_12, GCLKIOC0_12			
N22	12	IO_L15P_12, RDWRN			
M22	12	IO_L15N_12, CSON, DOUT			
K21	12	IO_L16P_12, CSN			
K22	12	IO_L16N_12, D31			
N20	12	IO_L17P_12, D30			



SBG484 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
D12	13	IO_L0_13	F18	13	IO_L17P_13
G15	13	IO_L1P_13	E19	13	IO_L17N_13
G16	13	IO_L1N_13	D19	13	IO_L18P_13
C12	13	IO_L2P_13	D20	13	IO_L18N_13
B12	13	IO_L2N_13	C19	13	IO_L19P_13
F15	13	IO_L3P_13	C20	13	IO_L19N_13
F16	13	IO_L3N_13	B18	13	IO_L20P_13
A13	13	IO_L4P_13	A19	13	IO_L20N_13
A14	13	IO_L4N_13	C22	13	IO_L21P_13
C13	13	IO_L5P_13	B22	13	IO_L21N_13
B13	13	IO_L5N_13	A20	13	IO_L22P_13
E14	13	IO_L6P_13	A21	13	IO_L22N_13
D14	13	IO_L6N_13	D21	13	IO_L23P_13
C14	13	IO_L7P_13	D22	13	IO_L23N_13
C15	13	IO_L7N_13	B20	13	IO_L24P_13
B16	13	IO_L8P_13	B21	13	IO_L24N_13
A16	13	IO_L8N_13	H15	13	IO_L25_13
B15	13	IO_L9P_13, GPLL1_13_OUTP			
A15	13	IO_L9N_13, GPLL1_13_OUTN			
B17	13	IO_L10P_13			
A18	13	IO_L10N_13			
D15	13	IO_L11P_13, GCLKIOT3_13			
D16	13	IO_L11N_13, GCLKIOC3_13			
C17	13	IO_L12P_13, GCLKIOT2_13			
C18	13	IO_L12N_13, GCLKIOC2_13			
E17	13	IO_L13P_13, GCLKIOT1_13			
E18	13	IO_L13N_13, GCLKIOC1_13			
E16	13	IO_L14P_13, GCLKIOT0_13			
D17	13	IO_L14N_13, GCLKIOC0_13			
H17	13	IO_L15P_13			
G17	13	IO_L15N_13			
J16	13	IO_L16P_13, GPLLO_13_OUTP			
J17	13	IO_L16N_13, GPLLO_13_OUTN			



SBG484 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
F14	14	IO_L0_14	H10	14	IO_L18_14
D10	14	IO_L1P_14			
C10	14	IO_L1N_14			
G13	14	IO_L2P_14			
F13	14	IO_L2N_14			
H14	14	IO_L3P_14, GPLL1_14_OUTP			
H13	14	IO_L3N_14, GPLL1_14_OUTN			
E13	14	IO_L4P_14			
E12	14	IO_L4N_14			
F11	14	IO_L5P_14, GCLKIOT3_14			
F10	14	IO_L5N_14, GCLKIOC3_14			
E11	14	IO_L6P_14, GCLKIOT2_14			
D11	14	IO_L6N_14, GCLKIOC2_14			
G11	14	IO_L7P_14, GCLKIOT1_14			
G10	14	IO_L7N_14, GCLKIOC1_14			
H12	14	IO_L8P_14, GCLKIOT0_14			
G12	14	IO_L8N_14, GCLKIOC0_14			
F9	14	IO_L9P_14			
E9	14	IO_L9N_14			
H9	14	IO_L10P_14, GPLL0_14_OUTP			
H8	14	IO_L10N_14, GPLL0_14_OUTN			
G8	14	IO_L11P_14			
F8	14	IO_L11N_14			
D9	14	IO_L12P_14			
C9	14	IO_L12N_14			
B11	14	IO_L13P_14			
B10	14	IO_L13N_14			
A9	14	IO_L14P_14			
A8	14	IO_L14N_14			
C8	14	IO_L15P_14			
B8	14	IO_L15N_14			
A11	14	IO_L16P_14			
A10	14	IO_L16N_14			
E8	14	IO_L17_14			



SBG484 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
T6	31	IO_R0_31	Y9	31	IO_R13N_31, GCLKIO1_31, T2
AA5	31	IO_R1P_31, T3	U10	31	IO_R14P_31, T2
AB5	31	IO_R1N_31, T3_VREF	V9	31	IO_R14N_31, T2
AB8	31	IO_R2P_31, T3	V10	31	IO_R15P_31, T2_DQS_P
AB7	31	IO_R2N_31, T3	W10	31	IO_R15N_31, T2_DQS_N
AA6	31	IO_R3P_31, T3_DQS_P	T11	31	IO_R16P_31, GCLKIO10_31, T2
AB6	31	IO_R3N_31, T3_DQS_N	T10	31	IO_R16N_31, GCLKIO10_31, T2
AA10	31	IO_R4P_31, T3	U12	31	IO_R17P_31, GPLL0_31_OUTP, T2
AB10	31	IO_R4N_31, T3	U11	31	IO_R17N_31, GPLL0_31_OUTN, T2
AA9	31	IO_R5P_31, T3	T9	31	IO_R18P_31, T1
AA8	31	IO_R5N_31, T3	T8	31	IO_R18N_31, T1
W11	31	IO_R6P_31, T2	AA11	31	IO_R19P_31, T3
Y11	31	IO_R6N_31, T2	AB11	31	IO_R19N_31, T3
W6	31	IO_R7P_31, T1	V12	31	IO_R20_31, VRP
Y6	31	IO_R7N_31, T1			
R7	31	IO_R8P_31, T0			
R6	31	IO_R8N_31, T0_VREF			
U8	31	IO_R9P_31, GPLL1_31_OUTP, T1_DQS_P			
V8	31	IO_R9N_31, GPLL1_31_OUTN, T1_DQS_N			
U7	31	IO_R10P_31, T1			
U6	31	IO_R10N_31, T1			
V7	31	IO_R11P_31, GCLKIO13_31, T1			
W7	31	IO_R11N_31, GCLKIO13_31, T1			
Y8	31	IO_R12P_31, GCLKIO12_31, T1			
Y7	31	IO_R12N_31, GCLKIO12_31, T1			
W9	31	IO_R13P_31, GCLKIO11_31, T2			



SBG484 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
K4	32	IO_R0_32	V2	32	IO_R15N_32, T2_DQS_N
L3	32	IO_R1P_32, T0	T5	32	IO_R16P_32, GPLLO_32_OUTP, T2
M3	32	IO_R1N_32, T0	U5	32	IO_R16N_32, GPLLO_32_OUTN, T2
K1	32	IO_R2P_32, T0	V3	32	IO_R17P_32, T2
L1	32	IO_R2N_32, T0	W2	32	IO_R17N_32, T2
M2	32	IO_R3P_32, T0_DQS_P	N5	32	IO_R18P_32, T2
M1	32	IO_R3N_32, T0_DQS_N	P5	32	IO_R18N_32, T2
K3	32	IO_R4P_32, T0	W5	32	IO_R19P_32, T3
K2	32	IO_R4N_32, T0	Y4	32	IO_R19N_32, T3_VREF
N3	32	IO_R5P_32, T0	W1	32	IO_R20P_32, T3
N2	32	IO_R5N_32, T0	Y1	32	IO_R20N_32, T3
L5	32	IO_R6P_32, T0	Y3	32	IO_R21P_32, T3_DQS_P
L4	32	IO_R6N_32, T0_VREF	Y2	32	IO_R21N_32, T3_DQS_N
P2	32	IO_R7P_32, T1	AA1	32	IO_R22P_32, T3
R2	32	IO_R7N_32, T1	AB1	32	IO_R22N_32, T3
P1	32	IO_R8P_32, T1	AA3	32	IO_R23P_32, T3
R1	32	IO_R8N_32, T1	AB2	32	IO_R23N_32, T3
M5	32	IO_R9P_32, GPLL1_32_OUTP, T1_DQS_P	AA4	32	IO_R24P_32, T3
N4	32	IO_R9N_32, GPLL1_32_OUTN, T1_DQS_N	AB3	32	IO_R24N_32, T3
T1	32	IO_R10P_32, T1	V5	32	IO_R25_32, VRP
U1	32	IO_R10N_32, T1			
P4	32	IO_R11P_32, GCLK10T3_32, T1			
R4	32	IO_R11N_32, GCLK10C3_32, T1			
R3	32	IO_R12P_32, GCLK10T2_32, T1			
T3	32	IO_R12N_32, GCLK10C2_32, T1			
T4	32	IO_R13P_32, GCLK10T1_32, T2			
U3	32	IO_R13N_32, GCLK10C1_32, T2			
V4	32	IO_R14P_32, GCLK10T0_32, T2			
W4	32	IO_R14N_32, GCLK10C0_32, T2			
U2	32	IO_R15P_32, T2_DQS_P			



SBG484 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
G3	82	RXP0_82	AB17	-	I_8P_DPHY1, DP2_1
G4	82	RXM0_82	AA17	-	I_8N_DPHY1, DN2_1
E3	82	RXP1_82	AB13	-	I_9P_DPHY1, DP3_1
E4	82	RXM1_82	AA13	-	I_9N_DPHY1, DN3_1
F1	82	TXP0_82			
F2	82	TXM0_82			
D1	82	TXP1_82			
D2	82	TXM1_82			
B6	83	RXP0_83			
B5	83	RXM0_83			
C4	83	RXP1_83			
C3	83	RXM1_83			
A4	83	TXP0_83			
A3	83	TXM0_83			
B2	83	TXP1_83			
B1	83	TXM1_83			
AB21	-	I_0P_DPHY0, CP_0			
AA20	-	I_0N_DPHY0, CN_0			
AA22	-	I_1P_DPHY0, DP0_0			
AA21	-	I_1N_DPHY0, DN0_0			
AB20	-	I_2P_DPHY0, DP1_0			
AA19	-	I_2N_DPHY0, DN1_0			
Y22	-	I_3P_DPHY0, DP2_0			
Y21	-	I_3N_DPHY0, DN2_0			
AB19	-	I_4P_DPHY0, DP3_0			
AA18	-	I_4N_DPHY0, DN3_0			
AB15	-	I_5P_DPHY1, CP_1			
AA15	-	I_5N_DPHY1, CN_1			
AB16	-	I_6P_DPHY1, DP0_1			
AA16	-	I_6N_DPHY1, DN0_1			
AB14	-	I_7P_DPHY1, DP1_1			
AA14	-	I_7N_DPHY1, DN1_1			



SBG484 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
A2	82	PHYVCCT_82	D18	13	VCCIO_13
C2	82	PHYVCCT_82	E15	13	VCCIO_13
E2	82	PHYVCCT_82	H16	13	VCCIO_13
G2	82	PHYVCCT_82	C11	14	VCCIO_14
A6	82	PHYVCCA_82	D8	14	VCCIO_14
C6	82	PHYVCCA_82	F12	14	VCCIO_14
E6	82	PHYVCCA_82	G9	14	VCCIO_14
G6	82	PHYVCCA_82	AA7	31	VCCIO_31
F6	82	REFCLKP_82	T12	31	VCCIO_31
F5	82	REFCLKM_82	U9	31	VCCIO_31
D6	83	REFCLKP_83	V6	31	VCCIO_31
D5	83	REFCLKM_83	W12	31	VCCIO_31
H2	-	RESREF	Y10	31	VCCIO_31
AA12	-	VCCDPHY	AB4	32	VCCIO_32
W21	-	VCCDPHY	M4	32	VCCIO_32
Y14	-	VCCDPHY	N1	32	VCCIO_32
Y16	-	VCCDPHY	R5	32	VCCIO_32
Y18	-	VCCDPHY	T2	32	VCCIO_32
Y19	-	VCCDPHY	W3	32	VCCIO_32
T14	11	VCCIO_11	J7	0	VCCIO_0
T22	11	VCCIO_11	N7	0	VCCIO_0
U19	11	VCCIO_11			
V16	11	VCCIO_11			
F22	12	VCCIO_12			
G19	12	VCCIO_12			
K20	12	VCCIO_12			
L17	12	VCCIO_12			
N21	12	VCCIO_12			
P18	12	VCCIO_12			
A17	13	VCCIO_13			
B14	13	VCCIO_13			
C21	13	VCCIO_13			



SBG484 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
G7	0	CCLK_0	P12	-	VCCAUX
P6	0	DONE_0	P8	-	VCCAUX
L7	0	INITN_0	R11	-	VCCAUX
M6	0	PROGRAMN_0	R9	-	VCCAUX
H7	0	M0_0	H1	-	NC
H6	0	M1_0	J4	-	NC
J5	0	M2_0	K11	-	NC
K7	0	TCK_0	K12	-	NC
K6	0	TDI_0	L11	-	NC
J6	0	TDO_0	L12	-	NC
L6	0	TMS_0	M11	-	NC
M7	0	TRSTN_0	M12	-	NC
J11	-	VCCINT	N11	-	NC
J13	-	VCCINT	N12	-	NC
J15	-	VCCINT	P7	-	NC
J9	-	VCCINT			
K14	-	VCCINT			
K8	-	VCCINT			
L13	-	VCCINT			
L15	-	VCCINT			
L9	-	VCCINT			
M14	-	VCCINT			
M8	-	VCCINT			
N13	-	VCCINT			
N15	-	VCCINT			
N9	-	VCCINT			
P14	-	VCCINT			
R13	-	VCCINT			
R15	-	VCCINT			
K10	-	VCCAUX			
M10	-	VCCAUX			
P10	-	VCCAUX			



SBG484 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
A1	-	GND	G1	-	GND
A12	-	GND	G14	-	GND
A22	-	GND	G5	-	GND
A5	-	GND	H11	-	GND
A7	-	GND	H21	-	GND
AA2	-	GND	H3	-	GND
AB12	-	GND	H4	-	GND
AB18	-	GND	H5	-	GND
AB22	-	GND	J1	-	GND
AB9	-	GND	J10	-	GND
B19	-	GND	J12	-	GND
B3	-	GND	J14	-	GND
B4	-	GND	J18	-	GND
B7	-	GND	J2	-	GND
B9	-	GND	J3	-	GND
C1	-	GND	J8	-	GND
C16	-	GND	K13	-	GND
C5	-	GND	K15	-	GND
C7	-	GND	K5	-	GND
D13	-	GND	K9	-	GND
D3	-	GND	L10	-	GND
D4	-	GND	L14	-	GND
D7	-	GND	L2	-	GND
E1	-	GND	L22	-	GND
E10	-	GND	L8	-	GND
E20	-	GND	M13	-	GND
E5	-	GND	M15	-	GND
E7	-	GND	M19	-	GND
F17	-	GND			
F3	-	GND			
F4	-	GND			
F7	-	GND			



SBG484 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
M9	-	GND	T17	-	GND
N10	-	GND	T7	-	GND
N14	-	GND	U14	-	GND
N16	-	GND	U4	-	GND
N6	-	GND	V1	-	GND
N8	-	GND	V11	-	GND
P11	-	GND	W22	-	GND
P13	-	GND	W8	-	GND
P15	-	GND	Y13	-	GND
P3	-	GND	Y15	-	GND
P9	-	GND	Y17	-	GND
R10	-	GND	Y20	-	GND
R12	-	GND	Y5	-	GND
R14	-	GND			
R20	-	GND			
R8	-	GND			



4.8 SEG324 引脚信息

SEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
U18	12	IO_L0_12	N17	12	IO_L15P_12, D14
V17	12	IO_L1P_12, D17	M17	12	IO_L15N_12, D15
U17	12	IO_L1N_12, D16	P14	12	IO_L16P_12
R16	12	IO_L2P_12, D19	P15	12	IO_L16N_12, D13
R17	12	IO_L2N_12, D18	N11	12	IO_L17P_12, D11
U14	12	IO_L3P_12, D21	N10	12	IO_L17N_12, D12
V14	12	IO_L3N_12, D20	P12	12	IO_L18P_12, D9
V15	12	IO_L4P_12	N12	12	IO_L18N_12, D10
V16	12	IO_L4N_12, D22	N15	12	IO_L19P_12, SPI_CSN, BUSY
U13	12	IO_L5P_12, D24	N16	12	IO_L19N_12, D8
V12	12	IO_L5N_12, D23	L18	12	IO_L20P_12, D6
P13	12	IO_L6P_12, D26	M18	12	IO_L20N_12, D7
R13	12	IO_L6N_12, D25	M13	12	IO_L21P_12, D4
U11	12	IO_L7P_12, D28	L13	12	IO_L21N_12, D5
V11	12	IO_L7N_12, D27	M14	12	IO_L22P_12, HSWAPEN
T11	12	IO_L8P_12, D30	N14	12	IO_L22N_12, USRCLK
U12	12	IO_L8N_12, D29	L16	12	IO_L23P_12, D2, WPN
T18	12	IO_L9P_12, CSN	M16	12	IO_L23N_12, D3, HOLDN
R18	12	IO_L9N_12, D31	L14	12	IO_L24P_12, D0, MOSI
R11	12	IO_L10P_12, RDWRN	L15	12	IO_L24N_12, D1, DIN, MISO
R12	12	IO_L10N_12, CSON, DOUT	K18	12	IO_L25_12
T13	12	IO_L11P_12, GCLKIOT0_12			
T14	12	IO_L11N_12, GCLKIOC0_12			
T16	12	IO_L12P_12, GCLKIOT1_12			
U16	12	IO_L12N_12, GCLKIOC1_12			
T15	12	IO_L13P_12, GCLKIOT2_12			
R15	12	IO_L13N_12, GCLKIOC2_12			
P17	12	IO_L14P_12, GCLKIOT3_12			
P18	12	IO_L14N_12, GCLKIOC3_12			



SEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
H17	13	IO_L0_13	C15	13	IO_L15P_13
J17	13	IO_L1P_13	D15	13	IO_L15N_13
J18	13	IO_L1N_13	D18	13	IO_L16P_13, GPLL1_13_OUTP
K16	13	IO_L2P_13	E18	13	IO_L16N_13, GPLL1_13_OUTN
K17	13	IO_L2N_13	A14	13	IO_L17P_13
J13	13	IO_L3P_13	B14	13	IO_L17N_13
K13	13	IO_L3N_13	A13	13	IO_L18P_13
J15	13	IO_L4P_13	B13	13	IO_L18N_13
K15	13	IO_L4N_13	A15	13	IO_L19P_13
F18	13	IO_L5P_13	A16	13	IO_L19N_13
G18	13	IO_L5N_13	A18	13	IO_L20P_13
H16	13	IO_L6P_13	B18	13	IO_L20N_13
H15	13	IO_L6N_13	C17	13	IO_L21P_13
H14	13	IO_L7P_13	B17	13	IO_L21N_13
J14	13	IO_L7N_13	D17	13	IO_L22P_13
G14	13	IO_L8P_13	E17	13	IO_L22N_13
G13	13	IO_L8N_13	B16	13	IO_L23P_13
F15	13	IO_L9P_13, GPLL0_13_OUTP	C16	13	IO_L23N_13
F14	13	IO_L9N_13, GPLL0_13_OUTN			
G17	13	IO_L10P_13			
G16	13	IO_L10N_13			
E16	13	IO_L11P_13, GCLKIOT0_13			
F16	13	IO_L11N_13, GCLKIOC0_13			
E13	13	IO_L12P_13, GCLKIOT1_13			
F13	13	IO_L12N_13, GCLKIOC1_13			
C14	13	IO_L13P_13, GCLKIOT2_13			
D13	13	IO_L13N_13, GCLKIOC2_13			
D14	13	IO_L14P_13, GCLKIOT3_13			
E15	13	IO_L14N_13, GCLKIOC3_13			



SEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
V7	32	IO_R0_32, VRP	T4	32	IO_R15P_32, T1
U8	32	IO_R1P_32, T3	T3	32	IO_R15N_32, T1
U7	32	IO_R1N_32, T3	R3	32	IO_R16P_32, GPLL1_32_OUTP, T1 DQS_P
U9	32	IO_R2P_32, T3	R2	32	IO_R16N_32, GPLL1_32_OUTN, T1 DQS_N
T8	32	IO_R2N_32, T3	T1	32	IO_R17P_32, T1
V10	32	IO_R3P_32, T3	R1	32	IO_R17N_32, T1
V9	32	IO_R3N_32, T3	P3	32	IO_R18P_32, T1
T10	32	IO_R4P_32, T3_DQS_P	P4	32	IO_R18N_32, T1
T9	32	IO_R4N_32, T3_DQS_N	P5	32	IO_R19P_32, T0
R10	32	IO_R5P_32, T3	R5	32	IO_R19N_32, T0_VREF
P10	32	IO_R5N_32, T3	M5	32	IO_R20P_32, T0
N9	32	IO_R6P_32, T3	N5	32	IO_R20N_32, T0
P9	32	IO_R6N_32, T3_VREF	M6	32	IO_R21P_32, T0
U6	32	IO_R7P_32, T2	N6	32	IO_R21N_32, T0
V6	32	IO_R7N_32, T2	P7	32	IO_R22P_32, T0_DQS_P
U2	32	IO_R8P_32, T2	N7	32	IO_R22N_32, T0_DQS_N
V2	32	IO_R8N_32, T2	R7	32	IO_R23P_32, T0
U1	32	IO_R9P_32, GPLL0_32_OUTP, T2	R6	32	IO_R23N_32, T0
V1	32	IO_R9N_32, GPLL0_32_OUTN, T2	N8	32	IO_R24P_32, T0
U3	32	IO_R10P_32, T2_DQS_P	P8	32	IO_R24N_32, T0
U4	32	IO_R10N_32, T2_DQS_N	R8	32	IO_R25_32
V4	32	IO_R11P_32, GCLKIOT0_32, T2			
V5	32	IO_R11N_32, GCLKIOC0_32, T2			
T5	32	IO_R12P_32, GCLKIOT1_32, T2			
T6	32	IO_R12N_32, GCLKIOC1_32, T2			
P2	32	IO_R13P_32, GCLKIOT2_32, T1			
P1	32	IO_R13N_32, GCLKIOC2_32, T1			
N3	32	IO_R14P_32, GCLKIOT3_32, T1			
N4	32	IO_R14N_32, GCLKIOC3_32, T1			



SEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
L4	80	RXP0_80	H6	80	REFCLKP_80
L3	80	RXM0_80	H5	80	REFCLKM_80
M1	80	TXP0_80	F6	81	REFCLKP_81
M2	80	TXM0_80	F5	81	REFCLKM_81
K6	80	RXP1_80	E8	82	REFCLKP_82
K5	80	RXM1_80	E7	82	REFCLKM_82
K1	80	TXP1_80	D6	83	REFCLKP_83
K2	80	TXM1_80	D5	83	REFCLKM_83
G4	81	RXP0_81	D9	-	RESREF
G3	81	RXM0_81	C12	0	CCLK_0
F1	81	TXP0_81	A11	0	DONE_0
F2	81	TXM0_81	C11	0	INITN_0
J4	81	RXP1_81	B12	0	MO_0
J3	81	RXM1_81	D12	0	M1_0
H1	81	TXP1_81	E12	0	M2_0
H2	81	TXM1_81	E10	0	PROGRAMN_0
E4	82	RXP0_82	D11	0	TCK_0
E3	82	RXM0_82	B11	0	TDI_0
D1	82	TXP0_82	E11	0	TDO_0
D2	82	TXM0_82	A10	0	TMS_0
C4	82	RXP1_82	C10	0	TRSTN_0
C3	82	RXM1_82			
B1	82	TXP1_82			
B2	82	TXM1_82			
C8	83	RXP0_83			
C7	83	RXM0_83			
A8	83	TXP0_83			
A7	83	TXM0_83			
B6	83	RXP1_83			
B5	83	RXM1_83			
A4	83	TXP1_83			
A3	83	TXM1_83			



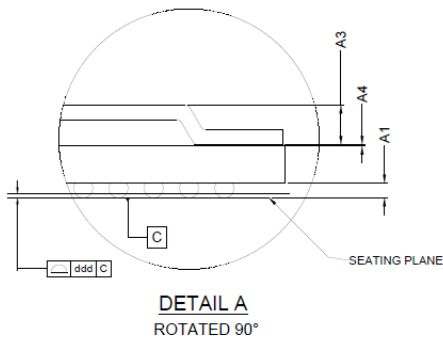
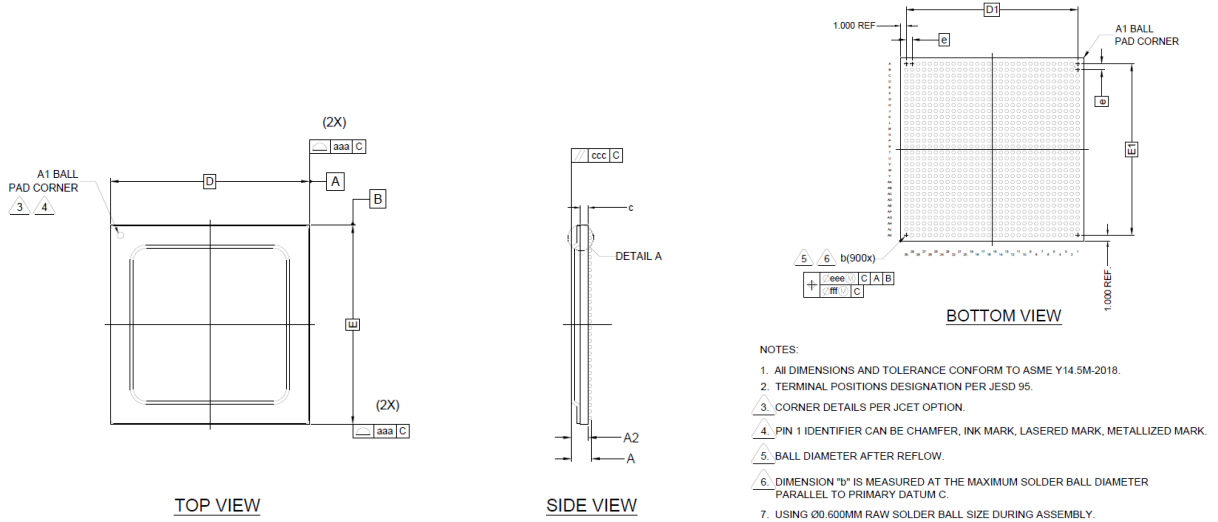
SEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
B10	0	VCC10_0	F11	-	VCCINT
C13	0	VCC10_0	F9	-	VCCINT
L17	12	VCC10_12	G10	-	VCCINT
N13	12	VCC10_12	G12	-	VCCINT
P16	12	VCC10_12	G8	-	VCCINT
T12	12	VCC10_12	H11	-	VCCINT
U15	12	VCC10_12	H9	-	VCCINT
V18	12	VCC10_12	J10	-	VCCINT
A17	13	VCC10_13	J12	-	VCCINT
D16	13	VCC10_13	J8	-	VCCINT
G15	13	VCC10_13	K11	-	VCCINT
H18	13	VCC10_13	K9	-	VCCINT
K14	13	VCC10_13	L10	-	VCCINT
M7	32	VCC10_32	L8	-	VCCINT
P6	32	VCC10_32	L12	-	VCCAUX
R9	32	VCC10_32	L7	-	VCCAUX
T2	32	VCC10_32	M11	-	VCCAUX
U5	32	VCC10_32	M9	-	VCCAUX
V8	32	VCC10_32			
A2	82	PHYVCCT_82			
C2	82	PHYVCCT_82			
D4	82	PHYVCCT_82			
E2	82	PHYVCCT_82			
F4	82	PHYVCCT_82			
G2	82	PHYVCCT_82			
H4	82	PHYVCCT_82			
A6	82	PHYVCCA_82			
C6	82	PHYVCCA_82			
E6	82	PHYVCCA_82			
G6	82	PHYVCCA_82			
J6	82	PHYVCCA_82			



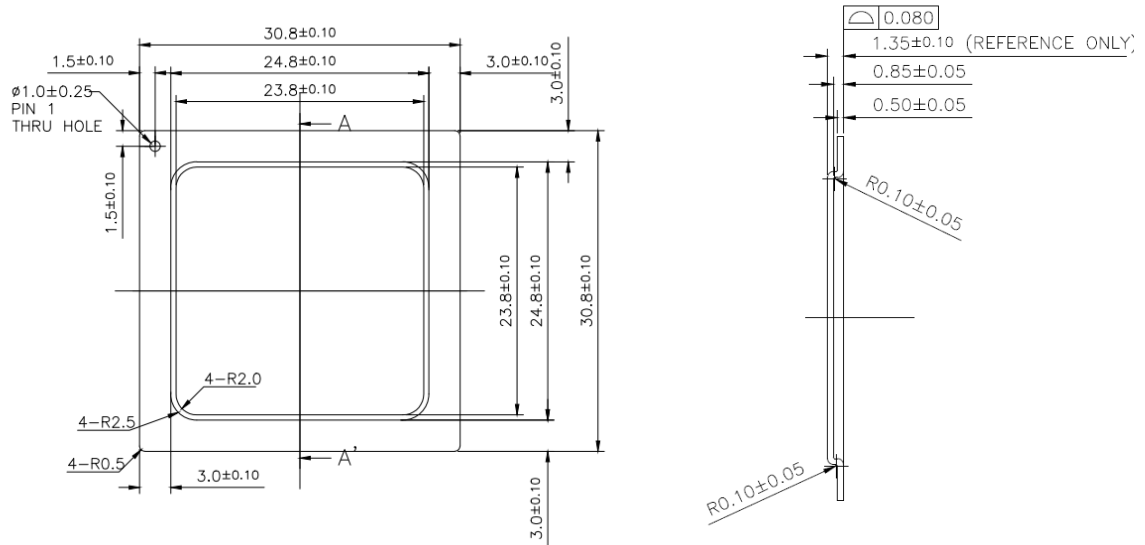
SEG324 引脚信息					
编号	BANK	引脚说明	编号	BANK	引脚说明
A1	-	GND	H8	-	GND
A5	-	GND	J1	-	GND
A9	-	GND	J11	-	GND
A12	-	GND	J16	-	GND
B15	-	GND	J2	-	GND
B3	-	GND	J5	-	GND
B4	-	GND	J7	-	GND
B7	-	GND	J9	-	GND
B8	-	GND	K10	-	GND
B9	-	GND	K12	-	GND
C1	-	GND	K3	-	GND
C18	-	GND	K4	-	GND
C5	-	GND	K7	-	GND
C9	-	GND	K8	-	GND
D10	-	GND	L1	-	GND
D3	-	GND	L11	-	GND
D7	-	GND	L2	-	GND
D8	-	GND	L5	-	GND
E1	-	GND	L6	-	GND
E14	-	GND	L9	-	GND
E5	-	GND	M10	-	GND
E9	-	GND	M12	-	GND
F10	-	GND	M15	-	GND
F12	-	GND	M3	-	GND
F17	-	GND	M4	-	GND
F3	-	GND	M8	-	GND
F7	-	GND	N1	-	GND
F8	-	GND	N18	-	GND
G1	-	GND	N2	-	GND
G11	-	GND	P11	-	GND
G5	-	GND	R14	-	GND
G7	-	GND	R4	-	GND
G9	-	GND	T17	-	GND
H10	-	GND	T7	-	GND
H12	-	GND	U10	-	GND
H13	-	GND	V13	-	GND
H3	-	GND	V3	-	GND
H7	-	GND			

4.9 封装信息

4.9.1 SFG900 封装规格



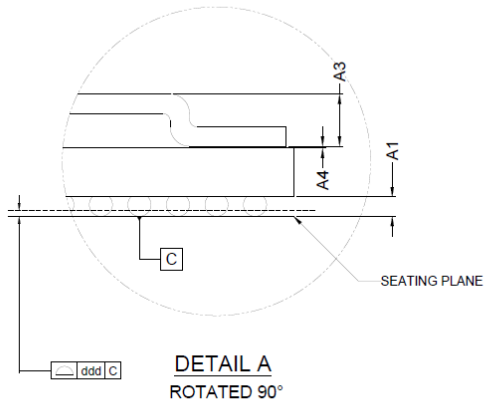
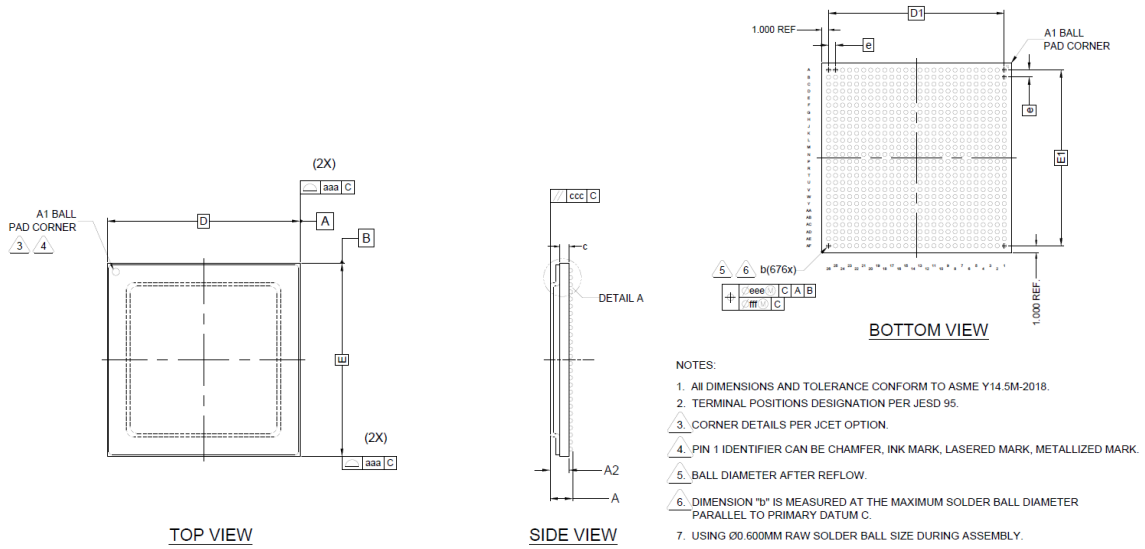
Symbol	Dimension in mm		
	MIN	NOM	MAX
A	2.992	3.166	3.342
A1	0.400	0.500	0.600
A2	2.524	2.666	2.811
A3	1.300	1.350	1.400
A4	0.020	0.050	0.090
c	1.136	1.266	1.396
D	30.800	31.000	31.200
E	30.800	31.000	31.200
D1	---	29.000	---
E1	---	29.000	---
e	---	1.000	---
b	0.500	0.600	0.700
aaa	0.20		
ccc	0.35		
ddd	0.20		
eee	0.25		
fff	0.10		
NUMBER OF BALL 900			



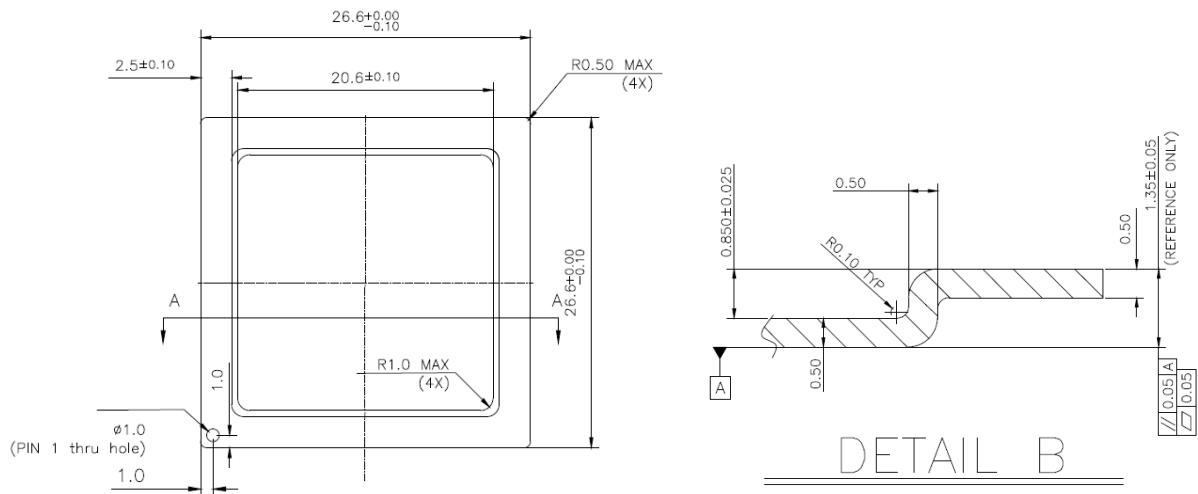
NOTE

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. RAW MATERIAL: COPPER alloy 1100
3. SURFACE FINISH: 0.002mm~0.008mm ELECTROLYTIC NICKEL PLATING
4. FLATNESS TO BE WITHIN 0.08MM.
5. BURR-DOWN SHALL BE ALLOWED IN CORNER AREA, OTHERWISE, OTHER EDGE AREA SHOULD BE BURR-UP ONLY.

4.9.2 SFG676 封装规格 (PH1A400)



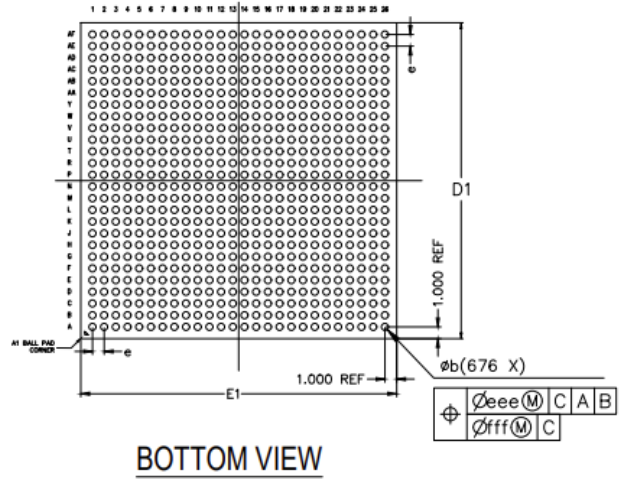
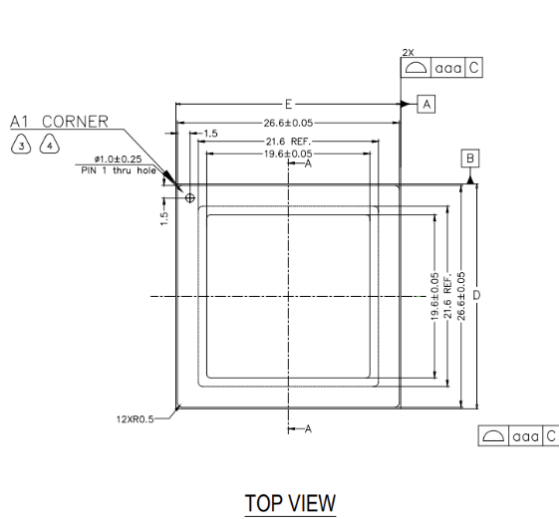
Symbol	Dimension in mm		
	MIN	NOM	MAX
A	2.966	3.166	3.366
A1	0.400	0.500	0.600
A2	2.524	2.666	2.811
A3	1.300	1.350	1.400
A4	0.020	0.050	0.090
c	1.136	1.266	1.396
D	26.800	27.000	27.200
E	26.800	27.000	27.200
D1	---	25.000	---
E1	---	25.000	---
e	---	1.000	---
b	0.500	0.600	0.700
aaa	0.20		
ccc	0.35		
ddd	0.20		
eee	0.25		
fff	0.10		
NUMBER OF BALL 676			



NOTES: UNLESS OTHERWISE SPECIFIED

1. MATERIALS : OXYGEN FREE 1/2 H OR O Cu. C1100
2. BURR MAXIMUM: VERTICAL : 0.05 MM; HORIZONTAL : 0.05 MM
BURR DIRECTION: BURR SIDE UP.
3. SURFACE FINISH: MATTE Ni PLATING
AND PLATING THICKNESS: Min 2.5UM.
4. SURFACE ROUGHNESS:
FOOTPRINT SIDE & DIE ATTACH AREA : $3.5 \mu\text{m} > \text{Ra} > 2 \mu\text{m}$
OTHERS : $\text{Ra} 0.2 \sim 0.6 \mu\text{m}$
5. SCRATCH OR STAIN ON SURFACE IS NOT ALLOWED

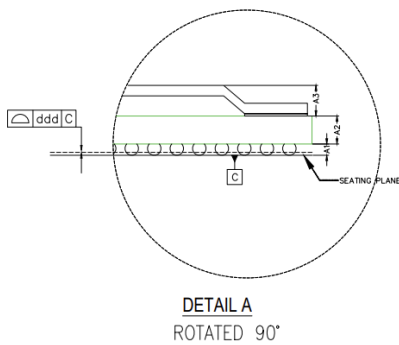
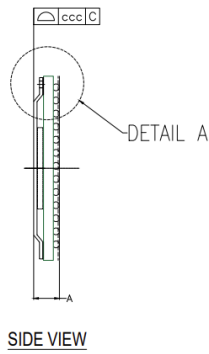
4.9.3 SFG676 封装规格 (PH1A180)



COMMON DIMENSIONS

(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	2.902	3.076	3.252
A1	0.400	0.500	0.600
A2	1.056	1.176	1.296
A3	1.320	1.400	1.490
D	26.800	27.000	27.200
E	26.800	27.000	27.200
D1	---	25.000	---
E1	---	25.000	---
e	---	1.000	---
b	0.500	0.600	0.700
aaa	0.20		
ccc	0.35		
ddd	0.20		
eee	0.25		
fff	0.10		
NUMBER OF BALL 676			

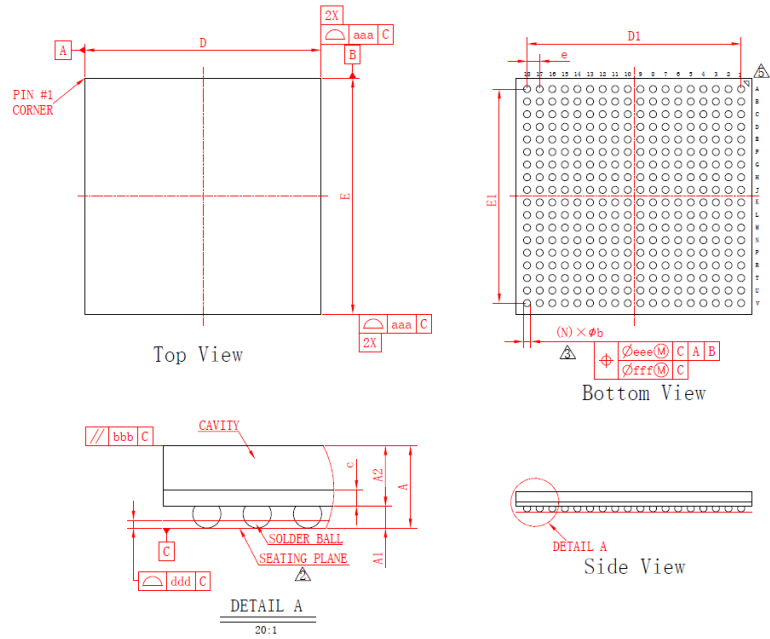


NOTES:

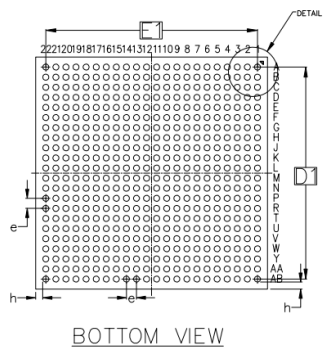
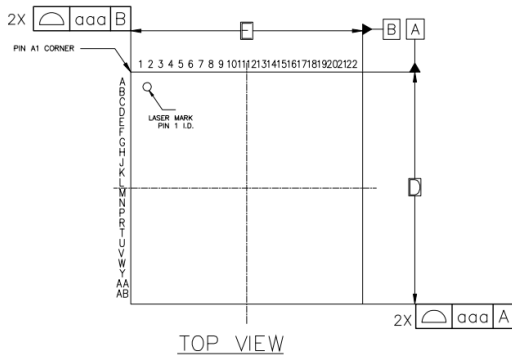
1. DIMENSIONS ARE IN MILLIMETERS.
2. ALL DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
3. TERMINAL POSITIONS DESIGNATION PER JESD 95.
4. DIMENSION "b" IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER PARALLEL TO PRIMARY DATUM C.
5. RAW SOLDER BALL SIZE DURING ASSEMBLY IS $\varnothing 0.60$ MM.

4.9.4 GEG324 封装规格

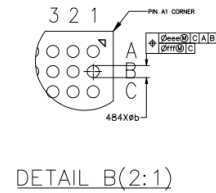
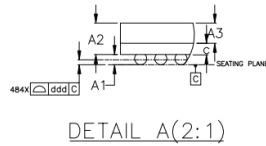
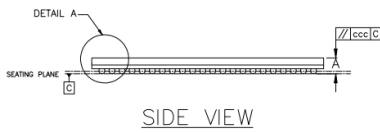
symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.210	1.310	1.410	0.048	0.052	0.056
A1	0.300	0.350	0.400	0.012	0.014	0.016
A2	0.910	0.960	1.010	0.036	0.038	0.040
c	0.220	0.260	0.300	0.009	0.010	0.012
D	14.900	15.000	15.100	0.587	0.591	0.594
E	14.900	15.000	15.100	0.587	0.591	0.594
D1	---	13.600	---	---	0.535	---
E1	---	13.600	---	---	0.535	---
e	---	0.800	---	---	0.031	---
b	0.400	0.450	0.500	0.016	0.018	0.020
aaa	---	0.150	---	---	0.006	---
bbb	---	0.200	---	---	0.008	---
ddd	---	0.200	---	---	0.008	---
eee	---	0.150	---	---	0.006	---
fff	---	0.090	---	---	0.003	---
Ball Diam	---	0.450	---	---	0.018	---
N	---	324	---	---	324	---
MD/ME	---	18/18	---	---	18/18	---



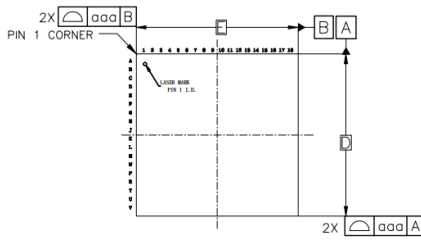
4.9.5 SBG484 封装规格



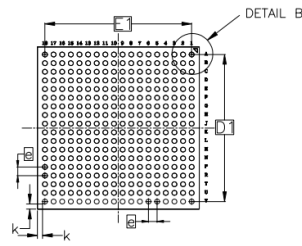
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.48	1.56	1.64
A1	0.45	0.50	0.55
A2	1.01	1.06	1.11
A3	0.70 BASIC		
c	0.32	0.36	0.40
D	22.90	23.00	23.10
D1	21.00 BASIC		
E	22.90	23.00	23.10
E1	21.00 BASIC		
e	1.00 BASIC		
b	0.55	0.60	0.65
h	0.70 REF		
aaa	0.20		
ccc	0.15		
ddd	0.20		
eee	0.18		
fff	0.10		



4.9.6 SEG324 封装规格

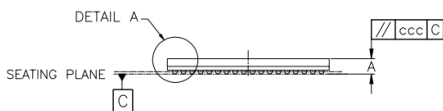


TOP VIEW

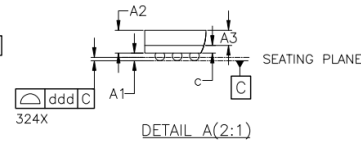


BOTTOM VIEW

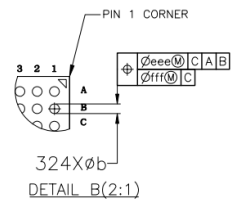
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.31	1.41	1.51
A1	0.30	0.35	0.40
A2	1.00	1.06	1.12
A3	0.70 BASIC		
c	0.32	0.36	0.40
D	14.90	15.00	15.10
D1	13.60 BASIC		
E	14.90	15.00	15.10
E1	13.60 BASIC		
e	0.80 BASIC		
b	0.40	0.45	0.50
k	0.475 REF		
aaa	0.15		
ccc	0.10		
ddd	0.12		
eee	0.15		
fff	0.08		



SIDE VIEW



DETAIL A(2:1)



DETAIL B(2:1)

5 订购信息

表 5-1 器件号缩写

器件名称	类别	查找表容量	封装类型	温度等级
PH1	A	400	SFG900	-

■ 产品系列

- ◇ PH1 PH1 系列

■ 类别

- ◇ A 逻辑器件

■ 查找表容量

- ◇ 60 60k 查找表
- ◇ 90 90k 查找表
- ◇ 180 180k 查找表
- ◇ 400 400k 查找表

■ 封装类型: <类型><#>

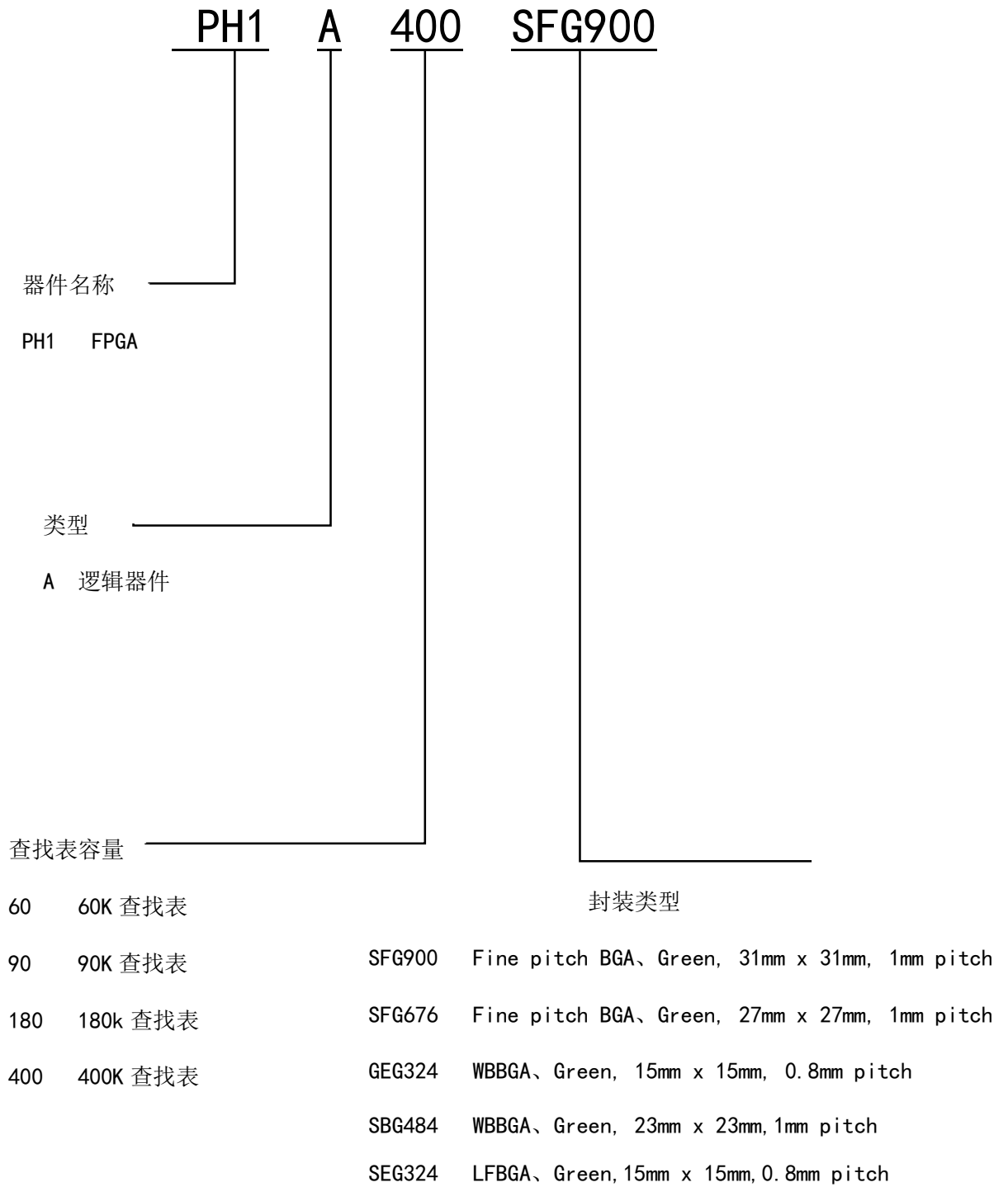
- ◇ SFG Fine pitch BGA、Green, 31mm x 31mm, 1mm pitch,
Fine pitch BGA、Green, 27mm x 27mm, 1mm pitch
- ◇ GEG WBBGA、Green, 15mm x 15mm, 0.8mm pitch
- ◇ SBG WBBGA、Green, 23mm x 23mm, 1mm pitch
- ◇ SEG LFBGA、Green, 15mm x 15mm, 0.8mm pitch
- ◇ # 引脚数 (900 指 900 个引脚)

■ 温度等级

- ◇ - 工业 (TJ = -40 - 100 °C)

■ 速度等级

- ◇ - 芯片速度等级 2
- ◇ -3 芯片速度等级 3





版本信息

日期	版本	修订记录
2021/5/20	0.10	首次发布中文版
2021/7/25	0.11	更新表 1-3 PH1A FPGA 封装：增加 676 封装相关信息 更新 2.6 SERDES(串行器/解串器)与 PCI Express 控制器：增加 676 封装 serdes 框图 增加 4.4 章节：增加 SFG676 封装引脚信息 增加 4.5.2 章节：增加 SFG676 封装规格 更新 2.7.2 章节：更新增加 PH1A400SFG676 器件 bank 的结构图 更新 2.0 章节增加 PH1A400SFG676 架构图
2021/9/3	0.12	更新 HP IO 不支持 LVCOMS15 16mA； 更新表 3-1-11，分为两个表格区分 HP、HR；
2021/10/20	0.13	更新 1.1 章节：增加 HSUL12、DIFF_POD12、DIFF_HSUL12 电平 更新 2.2 章节：删除异步 FIFO 的相关描述，删除 read ahead 模式描述和章节 更新 2.7.1 IO 简介：增加 HP IO 支持电平：HSUL12、DIFF_POD12、DIFF_HSUL12 电平；增加支持 16mA 驱动描述；删除 HP IO 中 PCI Clamp 描述 更新表 2-7-1 PH1A 支持电气标准：增加 HP IO 支持电平：HSUL12、DIFF_POD12、DIFF_HSUL12 电平；删除 HP IO 中 PCI Clamp 特性支持描述；增加 Hysteresis 特性支持； 修正图 2-7-2 HP I/O 框图：删除 PCI CLAMP 模块； 更新 3.1.5 章节：增加器件上电时序以及相关参数描述； 更新表 3-1-16 PH1A 差分推荐操作条件：增加 DIFF_POD12 电平参数； 更新表 3-2-7 和 3-2-8 I/O 接口性能表：增加 HSUL12、DIFF_POD12、DIFF_HSUL12 电平 更新表 3-2-9 PH1A 器件配置模式时序规格表：删除各种下载模式最低频率 更新 2.2 章节删除相关 ERAM 的具体描述 更新 2.3 章节时钟资源：删除具体资源描述 2.3.2~2.3.6 章节 更新 2.9SEU 检错和纠错模块：删除 2.9.1~2.9.3 章节 删除表 2-8-4 PH1A 系列 FPGA 配置管脚定义 更新 2.10 章节删除 PVT 模块相关描述 更新其他各个章节内容描述； 更新表 3-1-19 PH1A HR IO LVDS 推荐操作条件：更新 LVDS18 电平的 VICM 范围为 0.35v~0.55v 更新 2.11 DDR 章节：修改功能描述和介绍 更新表 4-2-1 引脚定义和规则：说明 Program Done M0~M2 INITN, CCLK 为专用 IO
2021/12/14	0.90	更新交直流参数相关章节内容
2022/01/20	1.0	首次发布正式版本
2022/04/19	1.0.1	1. 更新表 3-1-20 最大绝对额定值：修正 HP 的 VI 由-0.5V 为-0.4V 2. 修正 PH1A400SFG676 器件 IO_BR0_32, IO_R1N_32, T0, IO_R1P_32, T0 引脚错误编号



日期	版本	修订记录
		<p>3. 更新 3.1.4 上下电时序：修改为“必须 I/O PAD 先掉电，同时要求 HP I/O 的 VCCIO 不晚于 VCCAUX 掉电”</p> <p>4. 修正 PH1A400SFG676 器件的 BANK33 错误引脚标识；</p>
2022/05/26	1.1	<p>1. 增加图 2-3 PH1A60GEG324 器件架构图</p> <p>2. 更新表 2-8-7 PH1A JTAG 时序规格表：增加若采用 MSPI 加载模式，并且通 JTAG 非背景升级外部 flash 数据，tck 的频率要大于等于 100K；</p> <p>3. 更新表 3-2-11 最大时钟操作频率：增加速度-3 和-2 等级区分，给出具体指标；</p> <p>4. 更新表 3-2-12 时钟最大 skew：增加速度-3 和-2 等级区分，给出具体指标；</p> <p>5. 更新表 3-2-13 PH1A 嵌入 DSP 规格：增加速度-3 和-2 等级区分，给出具体指标；</p> <p>6. 更新表 3-2-114 PH1A 系列 FPGA 存储器模块规格表：增加速度-3 和-2 等级区分，给出具体指标；</p> <p>7. 更新 1.1 章节 PH1A 系列器件特性：新增 GEG324 器件封装；</p> <p>8. 更新表 1-4 PH1A FPGA 系列选型表：新增 PH1A60 器件；</p> <p>9. 更新 表 1-5 PH1A FPGA 封装：新增 PH1A60 器件封装；</p> <p>10. 更新第 4 章节：增加 4.5 章节 GEG324 引脚信息；</p> <p>11. 更新 4.6 封装信息：增加 GEG324 封装规格；</p> <p>12. 更新第 5 章节订购信息：增加 GEG324 封装信息；</p> <p>13. 统一修订 PH1A400 系列名称为 PH1A 系列；</p> <p>14. 表 3-2-15 I/O 接口性能表（输入）中增加速度-3 和-2 等级区分，给出具体指标；</p> <p>15. 表 3-2-8 I/O 接口性能表（输出）：增加速度-3 和-2 等级区分，给出具体指标；</p> <p>16. 第 2.3.1 节中更新器件全局时钟结构描述；</p> <p>17. 增加 PH1A60 器件没有 SERDES 的描述；</p> <p>18. 增加 PH1A60 器件没有 DDR 的描述；</p> <p>19. 增加器件的速度等级说明；</p> <p>20. 在表 2-8-2 后增加 CCLK 引脚不能使用 IDDR/ODDR 单元。</p>
2022/08	1.2	<p>1. 在表 3-1-8 后增加芯片热插拔的使用限制说明；</p> <p>2. 增加 PH1A60GEG324 器件 CCLK 可以复用的说明；</p> <p>3. 在表 2-8-2 后注 1 中增加 CCLK 引脚不能使用 SDR 单元</p>
2022/09	1.3	<p>1. 更新第 3.1.4 节上下电时序说明：修改为“不允许 I/O PAD 晚于电源 (VCCAUX/VCCIO) 掉电，同时要求 HP I/O 的 VCCIO 不晚于 VCCAUX 掉电”；</p> <p>2. 更新表 3-1-21 PH1A LVDS 直流规格 (HP I/O)：修改 LVDS 输入 VICM(共模电压)的典型值为 1.2v，最大值为 1.425v；</p> <p>3. 修改表 3-1-7 热插拔规格的备注说明：增加热插拔 DC 参数说明及使用要求；</p> <p>4. 更新修正 SFG900 封装引脚列表：增加 IO_L18N_13, D27 (W26) 引脚，修正 N29(IO_L17N_14) 为 N29(IO_L17P_14)、修正 Y13(IO_L0_32) 为 Y13(IO_R0_32)、修正 AB12(IO_L1N_32, T0) 为 AB12(IO_R1N_32, T0)、修正</p>



日期	版本	修订记录
		AA12(I0_L1P_32, T0)为 AA12(I0_R1P_32, T0)、修正 AB8(I0_L2N_32, T0)为 AB8(I0_R2N_32, T0)、修正 AA8(I0_L2P_32, T0)为 AA8(I0_R2P_32, T0)
2022/11/16	1.4	<ol style="list-style-type: none"> 增加 1.1 节器件特性中 HP 和 HR 单端标准和差分标准的区分，更新源同步输入/输出接口描述，增加 MIPI 的特性说明 删除 1.1 节 DDR 特性中两个独立 PPC 通道的说明 在 1.1 节 SERDES 特性中增加 PCIe 硬核 GEN3 的支持 在 1.1 节封装形式、第 4 节和第 5 节的封装说明中增加 PH1A90SBG484 信息，新增第 4.6 节 SBG484 引脚信息和 4.7.4 节 SBG484 封装规格 更新表 1-1 和表 1-2，增加 PH1A90SBG484 对应信息，更新表 1-2 后的注 1 描述 在第 2 节中增加 PH1A90SBG484 器件架构图及说明 在 2.3.1 节全局时钟结构中增加 PH1A90 器件的时钟区域说明 在第 2.6 节中增加图 2-6-4 PH1A90SBG484 SERDES 资源示意图及说明 在表 2-8-2 的注 1 CCLK 引脚特性中增加 PH1A90 器件 在 2.9 节 ECC 功能点中增加不支持 PLB 资源监测的说明 在 2.10 节增加 PH1A90 器件电压温度检测模块的说明，在表 3-2-5 中增加 TS 模块规格 增加 2.12 节介绍 MIPI 特性 在表 3-1-1 最大绝对额定值中增加 VCCDPHY 电源规格 在表 3-1-4 推荐基本操作条件中增加 VCCDPHY 电源规格 在表 3-1-5 静态电源电流中增加 IVCCDPHY 规格 更新 3.1.4 节上下电时序描述，增加 MIPI 电源上电限制 在表 3-1-6 器件管脚电容中增加 CMIPI 规格 在表 3-2-7 I/O 接口性能表（输入）和表 3-2-8 I/O 接口性能表（输出）中增加 MIPI DPHY-RX 规格 更新表 3-2-10 PH1A 嵌入 DDR3/4 规格，增加 PH1A90 器件 在表 3-3-2 SERDES 串行收发器性能参数 在表 3-3-6 SERDES 串行收发器发送交流特性中增加 PH1A90 器件规格和说明 更新表 3-3-7 SERDES 接收器 RX 交流特性，增加 PH1A90 器件规格 增加 3.4 节 MIPI DPHY-RX 直流电气特性 在表 4-1-1 引脚命名规则中增加 MIPI 引脚的命名说明 在表 4-2-1 引脚定义和规则中增加 MIPI 电源引脚定义，增加 MIPI 相关管脚说明项，更新表后注 1 的 CCLK 使用说明，增加 MIPI 使用限制的注 2 更新表 3-1-9 IO 推荐基本操作条件(HP I/O)：修正 IPU 和 IPD 最大和最小值范围 (VCCIO=1.2V/1.5V/1.8V) 更新第 2.6.3 节中 PCIe 相关 lane 的描述 更新文档免责声明
2023/1/18	1.5	<ol style="list-style-type: none"> 在第 1.1 节封装形式中增加 SEG324 器件封装，增加第 4.7 节 SEG324 引脚信息，增加第 4.8.5 节 SEG324 器件封装规格，增加第 5 章订购信息中 SEG324 封装信息 在表 1-2 中增加 PH1A90SEG324 器件



日期	版本	修订记录
		<ol style="list-style-type: none"> PH1A60 和 PH1A90 器件的 CCLK 可支持 IO 复用功能，对表 1-1 和表 1-2 中的器件的最大用户 IO 数量进行更新 增加图 2-5 PH1A90SEG324 器件架构示意图 更新第 2.6 节描述，增加图 2-6-5 PH1A90SEG324 SERDES 资源示意图 在表 3-1-5 中增加 PH1A90SEG324 器件的静态电流规格 在表 3-1-7 的注 4 中增加 MIPI DPHY-RX 管脚不支持热插拔的说明 在表 3-3-2 中增加 PH1A90SEG324 器件的 SERDES 串行收发器性能参数 在表 3-3-6 中增加 PH1A90SEG324 器件的 SERDES 发送交流特性参数 在表 3-3-7 中增加 PH1A90SEG324 器件的 RX 交流特性参数 在表 1-2 中 PH1A400 器件 PCIe 的 Max Data rate 中增加 GEN3, 删除 PH1A90SEG324 的 GEN3
2023/03/01	1.6	<ol style="list-style-type: none"> 在表 1-1 和表 1-2 中增加 PH1A180SFG676 器件；在第 5 章订购信息中增加 PH1A180SFG676 信息 增加第 4.5 节 PH1A180SFG676 引脚信息，同时将第 4.4 节更名为 PH1A400SFG676 引脚信息；增加第 4.9.3 节 PH1A180SFG676 封装规格，同时将第 4.9.2 节更名为 PH1A400SFG676 封装规格 增加 PH1A180SFG676 器件的具体规格 在表 3-3-6 中更新 SERDES 串行收发器发送交流特性 $DJ_{2.5}$ 在表 3-1-4 中增加 HP IO 的 I_{IN} 规格 调整表 3-1-5 结构，更新 PH1A60 器件的 I_{VCCINT} 规格
2023/05/24	1.6.1	<ol style="list-style-type: none"> 在 1.1 章节 MIPI DPHY-RX 中增加“支持 LVCMOS15/18 和 LVDS18/25 输入”的相关描述 新增表 3-1-12 PH1A 器件 IO 单端 I/O 标准规格 (MIPI I/O) 新增表 3-1-15 PH1A LVDS18/ LVDS25 直流规格 (MIPI I/O) 在表 3-2-7 中 MIPI DPHY-RX 新增 LVDS 以及 LVCMOS 最大输入频率 在 2.12 章节中增加“需注意的是，当 MIPI IO 切换到 LVDS 或者 LVCMOS 模式时，必须设置同组所有的 IO 为相同模式，不支持 LVDS 或者 LVCMOS 模式混合使用。”相关描述 更新 4.9.2 章节 SFG676 封装规格 (PH1A400) 中 M7、N7 引脚信息 在 2.9 章节注 1 中更新“PH1A60 器件不支持 ECC 功能”的描述 更新表 3-2-1 最大时钟操作频率 在 2.12.1 章节中，新增“支持 LVCMOS15/18 和 LVDS18/25 输入”的功能特性 在 3.2 章节中表 3-2-2、3-2-3、3-2-4、3-2-5、3-2-7、3-2-8 添加注释“PH1A60 器件不支持-3 规格”



版权所有©2023 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本文档内容的部分或全部，不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。